

UPORABA DIFUZIJSKEGA PROCESA ZA IZDELAVO KOLEKTORSKEGA VLOŽKA V BiCMOS VEZJIH

Boštjan Gspan

KLJUČNE BESEDE: CMOS, integrirana vezja, BiCMOS, difuzija, difuzijski postopki, kolektorski vložek, simulacija procesov, simulacijski programi, SUPREM-4

POVZETEK: V članku je opisan način izdelave kolektorskega vložka z uporabo difuzije. Namen tega procesa je dopolnitev obstoječega proizvodnega procesa integriranih vezij CMOS (osnovni gradnik vezja je par n in p kanalnega tranzistorja) s procesom BiCMOS (vezjem CMOS dodanimi bipolarnimi tranzistorji). Za kolektorski vložek se zahteva kar najnižja upornost (1.5 do $2.5 \Omega \text{ cm}$) silicija in kar največja globina (okrog $5 \mu\text{m}$) spoja med n in p tipom polprevodnika. Meritve kažejo, da so globine spojev med 5.2 in $5.4 \mu\text{m}$. Koncentracija primesi na površini rezine je bila od 4×10^{19} do $1 \times 10^{20} \text{ cm}^{-3}$, kar zagotavlja ustrezno upornost plasti.

Simulacija difuzijskega postopka je bila narejena z dvodimenzionalnim simulatorjem procesa proizvodnje integriranih vezij Suprem-4.

USE OF DIFFUSION FOR MAKING COLLECTOR PLUGS IN BiCMOS INTEGRATED CIRCUITS

KEY WORDS: CMOS, integrated circuits, BiCMOS, diffusion, diffusion processes, collector plug, process simulation, simulation program, SUPREM-4

ABSTRACT: A way of making collector plugs used in BiCMOS integrated circuits with use of existing production steps (diffusion) for CMOS integrated circuits is described. Doped silicon for collector plug should have resistivity in range from $1.5 \Omega \text{ cm}$ to $2.5 \Omega \text{ cm}$. Junction of n and p type silicon should be at least $5 \mu\text{m}$ below the surface. Measured depths of n-p junction are in range from $5.2 \mu\text{m}$ to $5.4 \mu\text{m}$. Measured surface dopant concentrations are in range from 4×10^{19} to $1 \times 10^{20} \text{ cm}^{-3}$. Measured values assure targeted resistivity of the layer.

The simulation of production process was made by two-dimensional simulator of production process Suprem-4.

1. UVOD

Ena od možnih poti za doseg hitrejšega delovanja vezij je dodajanje bipolarnih tranzistorjev osnovni strukturi CMOS, kar imenujemo tehnologija BiCMOS. Tehnologija BiCMOS omogoča izdelavo integriranih vezij, ki imajo podobne lastnosti (velika hitrost, velik fan-out) kot družina bipolarnih ECL (emitter coupled logic) logičnih integriranih vezij, ob veliki gostoti realiziranih logičnih funkcij in majhni statični porabi energije, kar omogoča CMOS del vezij. V primerjavi s tehnologijo CMOS je tehnologija BiCMOS mnogo bolj kompleksna za simulacijo delovanja. Tudi v tehnologiji izdelave integriranih vezij se pojavijo problemi, ko moramo izdelati bipolarne tranzistorje s procesnimi koraki tehnologije CMOS. Možne so tudi modifikacije proizvodnih procesov bipolarnih tranzistorjev, kar pa je redkost, ker je izdelava vezij CMOS mnogo bolj razširjena.

Izhodišče v nekem procesu BiCMOS je silicijeva rezina p tipa. Na p tipu rezine je najbolj enostavno narediti vertikalni bipolarni tranzistor npn tipa. Ker ne želimo izgub signala mora imeti kolektorski vložek majhno upornost.

Modifikacija procesa je obsežno delo in optimiranje koraka difuzije je le eno od potrebnih del. V članku opismemo poskuse izdelave kolektorskega vložka za npn bipolarni tranzistor z minimalnimi modifikacijami postopkov v standardnem CMOS procesu. Ker smo uporabili obstoječ proces, smo za izdelavo kolektorskega vložka uporabljali difuzijo, ki sicer ni najbolj primeren postopek za izdelavo tega elementa. Med vsemi možnimi procesi je bil izbran ta, ker smo pričakovali, da bodo imeli bipolarni tranzistorji izdelani v modificiranem procesu, še zadovoljive električne lastnosti. Rezultati optimizacije difuzije so v danem trenutku odločali o izbiri nekega procesa. Rezultate difuzije smo izmerili tudi z metodo SRA (metoda porazdeljene upornosti), po kateri smo zanesljivo izmerili profil primesi.

Poleg praktične izdelave difuzije za kolektorski vložek smo naredili tudi simulacijo izdelave z računalniškim programom Suprem-4. Na ta način smo želeli preveriti vrednost računalniške simulacije pri načrtovanju procesnih korakov tehnologije BiCMOS, saj so simulacije mnogo cenejše in tudi hitrejše kot izdelava rezin.

2. OPIS PROCESA MOS, ZA KATEREGA RAZVIJAMO DIFUZIJSKI POSTOPEK

Za modifikacijo smo izbrali procesne korake iz postopka za izdelavo vezij CMOS, ki daje v redni proizvodnji zadovoljiv odstotek uporabnih vezij in ga uvajamo v laboratoriju za mikroelektroniko na Fakulteti za elektrotehniko in računalništvo. Proces karakteriziramo tudi z osnovno najmanjšo dimenzijo, ki jo načrtovalci vezij lahko uporabljajo pri načrtovanju vezij in je pri izbranem postopku $1.2\ \mu\text{m}$.

Obstoječi proces upošteva spoznanja iz konca 80-ih let. Vhodna surovina je rezina silicija z epitaksijsko plastjo p-tipa silicija. Uporabljeni so distančniki. Za vnašanje primesi v silicij uporabljamo pretežno ionsko implantacijo, ki vnaša natančno določeno količino primesi na točno določena področja na rezini. Termična obdelava kristalnega silicija po implantaciji je nujna, da se sprostijo mehanske napetosti in poškodbe, ki nastanejo zaradi implantacije. Po implantaciji, ko silicij oksidiramo ali drugače termično obdelamo, pride na vrsto difuzija primesi. V želji, da bi pri nezmanjšani kritični dimenziji z vezjem uresničili več logičnih funkcij, uporabljamo dve plasti aluminija. Krmilne elektrode na vratih tranzistorjev so narejene iz dopiranega polikristalnega silicija. Pogosta je uporaba plazemskih postopkov za jedkanje in depozicijo plasti, saj so to nizkotemperaturni postopki, ki ne povzročajo velikih neželenih difuzij primesi.

Dober način za približno in hitro oceno kompleksnosti proizvodnega procesa integriranih vezij je število potrebnih mask. Za omenjeni proces je potrebnih 11 mask. Število mask v procesu je tudi direktno povezano z njegovim izkoristkom, saj večje število mask zmanjšuje verjetnost za visoke odstotke dobrih vezij. Ker obstajajo tudi CMOS procesi z več maskami, je izbrani proces tudi po tem kriteriju primeren za nadaljnje modifikacije.

3. OPIS DIFUZIJSKEGA POSTOPKA

Raziskovali smo, kako bi naredili kar se da globok spoj med n in p tipom polprevodnika, hkrati smo želeli imeti čim manjšo upornost materiala (od $1.5\ \Omega\ \text{cm}$ do $2.5\ \Omega\ \text{cm}$), ki bi ga v BiCMOS procesu uporabili za kolektorski vložek. Ti dve zahtevi določata močno dopiran silicij. Ker smo delali modifikacijo postopka v okviru standardnega procesa, smo uporabljali pretežno standardne procesne korake.

Pri načrtovanju poskusov smo uporabili spoznanja iz atomskih modelov mehanizma difuzije. Pri nizkih koncentracijah primesi (pod $10^{16}\ \text{atomov/cm}^3$) v siliciju se rezultati meritev dobro ujemajo z izračunanimi razporeditvami primesi v polprevodniku po difuzijski enačbi (1) in zato nas podrobno ne zanima mehanizem premikanja atomov primesi po kristalni mreži silicija. Boljše ujemanje pri visokih koncentracijah primesi (nad $10^{20}\ \text{atomov/cm}^3$) med izračunanimi in izmerjenimi vrednostmi dobimo, če namesto difuzijskega koeficienta vpe-

ljemo difuzivnost, ki je odvisna od koncentracije primesi (2). Ko število atomov primesi preseže število termično generiranih nosilcev naboja v čistem siliciju pri temperaturi difuzije, je opazno razhajanje med izračunanimi in izmerjenimi vrednostmi, če ne upoštevamo koncentracije primesi. V številu atomov primesi moramo upoštevati tudi število atomov primesi, ki so vgrajeni v substratu. Pri visokih koncentracijah dobimo zadovoljive rezultate, če upoštevamo atomski model difuzije. Če difuzijsko enačbo razstavimo na dva dela, ki upoštevata različni difuzivnosti za donorske in akceptorske atome, se rezultati izračunov dobro ujemajo z meritvami (3). Seveda moramo upoštevati tudi vpliv vgrajenega električnega polja v kristalu, temperaturno odvisnost difuzivnosti in oženje prepovedanega pasu (4, 5).

Na mikroskopskem nivoju opišemo difuzijo atomov primesi v siliciju kot posledico interakcije med točkastimi defekti v kristalni mreži silicija in atomi primesi. Točkasti defekti (intersticijski in vakance) imajo lahko različne električne naboje.

3.1 Opis modificiranega procesnega koraka

Izbrali smo p-tip rezine, ker smo želeli s poskusom dokazati možnost izdelave npn bipolarnega tranzistorja. Običajen postopek izdelave BiCMOS vezij vključuje epitaksijsko rast silicija p tipa nad pokopano plastjo n tipa (6). Ker v proizvodnji ni na voljo epitaksijskega reaktorja, smo poskusili problem rešiti z difuzijo. Za kolektorski vložek želimo, da se ne bi preveč razlezel v lateralni smeri, zato smo izbrali zmerno temperaturo in čas difuzije. Visoka koncentracija primesi, ki smo jo želeli doseči, je narekovala uporabo implantacije za vnos primesi v silicij. Implantiranim primesem smo dodali še izvor primesi v dopiranem polikristalnem siliciju, ki smo ga na rezino deponirali pred difuzijo. Implantacijo primesi smo delali z največjo pospeševalno napetostjo, ki jo je zmožal implanter v proizvodnji ($150\ \text{keV}$). Doza primesi ni odstopala od običajnih ($8 \times 10^{12}\ \text{ionov/cm}^2$). Podatke za nastavitve difuzijskih peči smo dobili iz kalibracijskih krivulj peči, ker so nekatere želene lastnosti difundirane plasti kazale, da jih ni mogoče doseči z običajnimi difuzijskimi recepti. Polikristalni silicij smo deponirali pri 1150°C v inertni (dušikovi) atmosferi. Primesi smo difundirali v oksidacijskem koraku pri 1130°C , ki je sledil. Oksid smo odjedkali in naredili še eno difuzijo pri 1000°C v inertni atmosferi, ki je trajala 240 minut. Da bi dosegli želene upornosti silicija, smo časa depozicije polikristalnega silicija in oksidacije spreminjali v skladu s kalibracijskimi krivuljami. Zadnji difuziji sledile obsežne meritve na rezinah.

4. MERITEV REZULTATOV DIFUZIJE

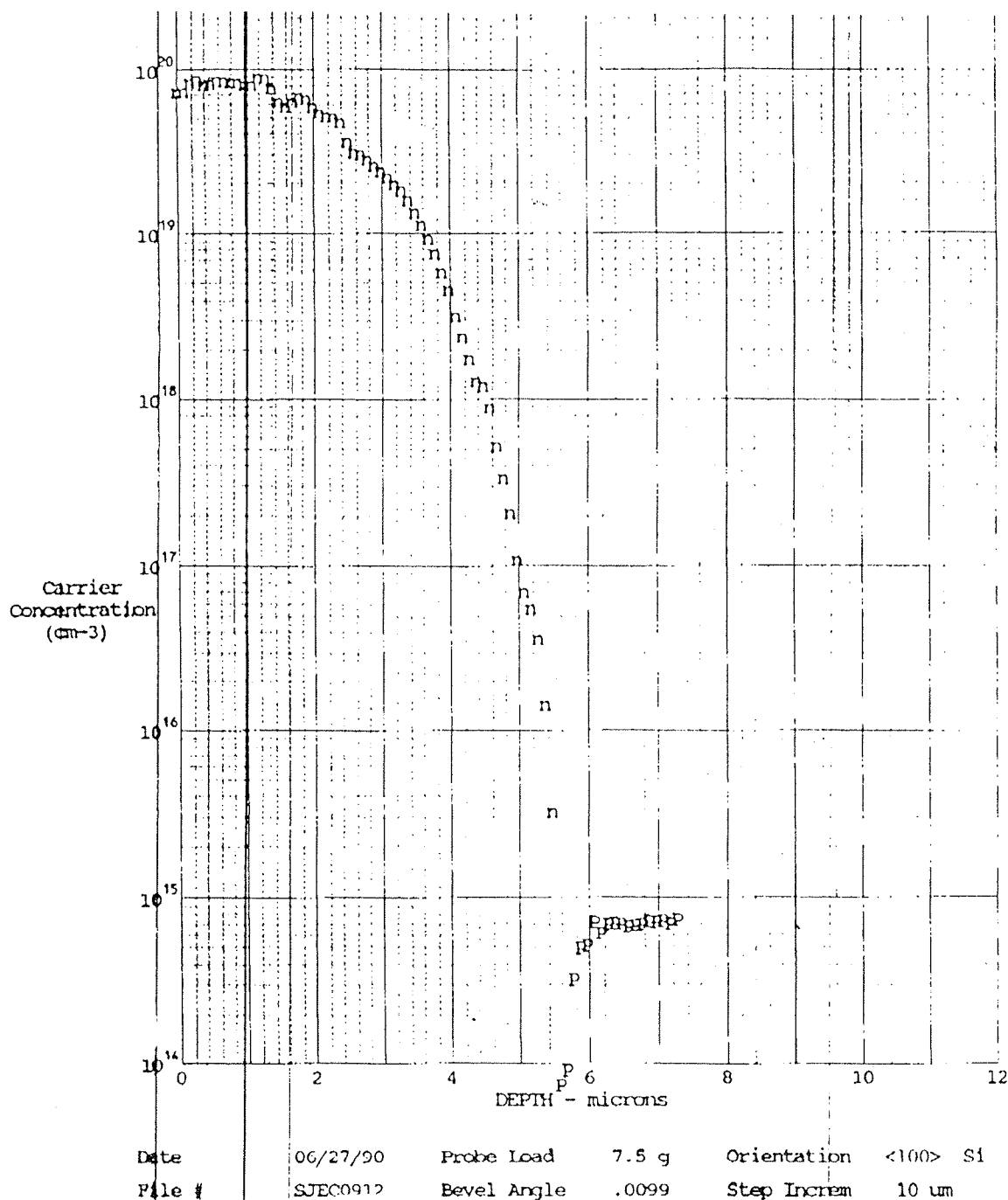
Profile dopantov so na naših vzorcih izmerili s SRA metodo (7) v firmi Solecon Laboratories Inc. Koncentracijo atomov dopanta pri SRA metodi merimo preko upornosti.

Meritve na naših rezinah pa so bile opravljene pri sledečih pogojih: sila s katero sta kontakta pritiskala na vzorec je bila 7.5×10^{-2} N, korak med točkami v katerih so merili upornost je bil $10 \mu\text{m}$, vzorec pa je bil zbrušen pod kotom 1° .

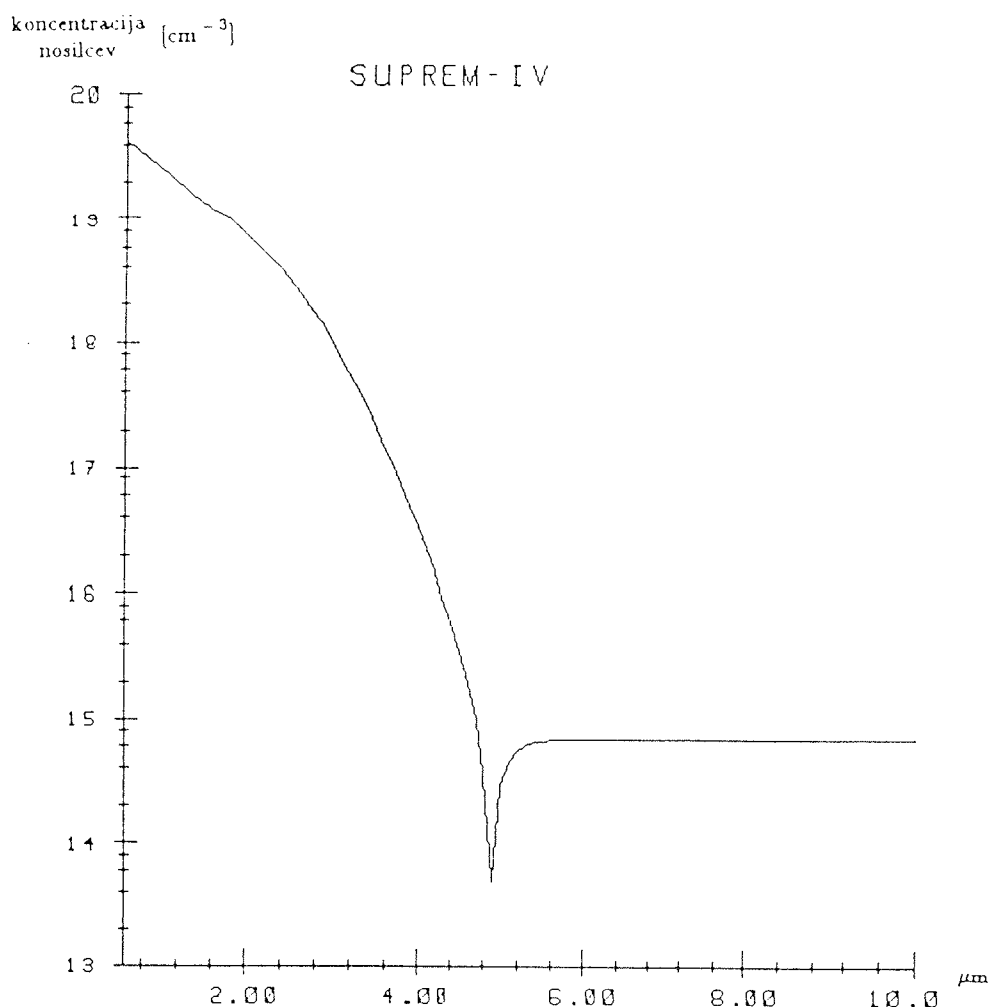
Merjeni vzorci so bili za navadne MOS tehnologije neobičajni. Površinska koncentracija dopantov je bila izredno visoka, p-n spoj pa izredno globoko; v takih razmerah so le rezultati SRA meritev profila dopantov zanesljivi. Na sliki 1 vidimo, da je površinska koncentracija dopantov 9×10^{19} atomov/ cm^3 , globina p-n spoja je $5.6 \mu\text{m}$ pod površino silicija.

5. RAČUNALNIŠKA SIMULACIJA DIFUZIJE

Suprem-4 je program, ki omogoča dvodimenzionalno simulacijo različnih procesnih korakov za izdelavo integriranih vezij in diskretnih elementov na silicijevi rezini (8). Matematični model difuzije v programu Suprem-4 obsega sistem desetih sklopljenih difuzijskih enačb (9). Zmanjšanje planarnih razdalj med aktivnimi področji modernih integriranih vezij narekuje uporabo dvodimenzionalnega simulatorja Suprem-4, ki je zaenkrat edino računalniško simulacijsko orodje, sposobno dovolj natančno opisati procese, uporabljene pri izdelavi modernih silicijevih integriranih vezij. Končni cilj uporabe



Slika 1: Profil primesi na prvi rezini (difuzija 1: 32.0 min., difuzija 2: 14.5 min.)



Slika 2: Rezultati prve simulacije (difuzija 1: 32.0 min., difuzija 2: 14.5 min.)

Suprema-4 je omogočiti modeliranje fino stopenjskih (fine-scale) integriranih vezij. Rezultat simulacije izdelave kolektorskega vložka je prikazan na sliki 2.

6. KOMENTAR REZULTATOV

Rezultate dela ilustrirata sliki 1 in 2, na katerih so rezultati meritev oziroma simulacij za iste procesne podatke. Površinski koncentraciji, simulirana in izmerjena, sta enakega reda velikosti in izračunana globina spoja tudi odstopa od izmerjene za manj kot 10%. "Potlačenost" profila primesi na simulaciji je potrjena tudi z meritvami. Tako lahko trdimo, da se simulirani in izmerjeni profil ujemata v bistvenih lastnostih. Ujemanje ni povsem pričakovano, ker večina simulacije poteka za koncentracije primesi med 10^{16} in 10^{20} atomov/ cm^3 , kjer je v matematičnih modelih difuzije mejno področje med visokimi in nizkimi koncentracijami primesi in zato simulacije običajno niso zanesljive.

7. ZAKLJUČEK

Želeli smo narediti kolektorski vložek, ki bi imel upornost med 1.5 in 2.5 $\Omega \text{ cm}$. Uspeli smo narediti difundirane plasti, ki imajo upornosti med 1.7 in 2.1 $\Omega \text{ cm}$. Dosežene globine spoja med p in n tipom polprevodnika so med 5.2 in 5.6 μm , kar je dovolj za kolektorski vložek.

Rezultati simulacije izdelave kolektorskega vložka s programom Suprem-4 in izmerjeni profili koncentracije difundiranih primesi so enaki v vseh bistvenih parametrih. Dobro ujemanje simulacij z izmerjenimi rezultati nas utrjuje v prepričanju, da lahko s simulacijami dobro napovemo rezultate poskusov na siliciju. Ker so simulacije na računalniku mnogo cenejše kot poskusi na silicijevih rezinah, imamo v rokah orodje za razvoj tehnologije z zmernimi stroški. Pričakujemo, da bo šel del razvoja integriranih vezij na siliciju v smer vezij, na katerih bo na enem čipu uporabljena bipolarna in tehnologija CMOS, zato je pomembna ugotovitev, da kolektorski vložek lahko izdelamo z difuzijo. Vrednost ugotovitve je v tem, da smo uporabili stroje in postopke, ki jih poznamo in obvladamo, kar omogoča, da se laboratorij za mikroelektroniko vključi v razvoj procesov BiCMOS.

8. ZAHVALA

Za pomoč pri praktični izvedbi poskusov in meritev se zahvaljujem sodelavcema Andreju Beliču in dr. Zoranu Krivokapiču. Iskreno se zahvaljujem dr. Radku Osredkarju za mnogo koristnih nasvetov in napotkov pri obdelavi zbranih rezultatov.

9. LITERATURA

- (1) J. C. C. Tsai, Poglavje 7: Diffusion, p. 285, v S. M. Sze: VLSI Technology, McGraw-Hill, druga izdaja, Singapore, 1988,
- (2) D. Anderson, M. Lisak: Approximate Solutions Of Some Nonlinear Diffusion Equations, Phys. Rev., Vol.: A 22, No.: 2761, (1980)
- (3) D. Anderson, K. O. Jeppson: Nonlinear Two-Step Diffusion in Semiconductors, J. Electrochem. Soc., Vol.: 131, No.: 2675, (1984)
- (4) R. B. Fair, Poglavje 7: Concentration Profiles of Diffused Dopants in Silicon, v F. F. Wang, Editor, Impurity Doping Processes in Silicon, North-Holland, New York, 1981

(5) P. M. Fahey: The Effect of Strain-Induced Bandgap Narrowing on High Concentration Phosphorus Diffusion Silicon, J. Appl. Phys., Vol. 50, No. 860 (1979)

(6) J. Y. Chen, CMOS Devices and Technology for VLSI, pp. 161-169, Prentice-Hall, 1990

(7) R. G. Mazur, D. H. Dickey: A Spreading Resistance Technique for Resistivity Measurements on Silicon, J. Electrochem. Soc., Vol.: 113, No.: 255, 1966

(8) Silvaco Data Systems, Suprem-4, pp. 2.1-2.7, 1989

(9) J. D. Plummer, R. W. Dutton: Process Simulators for Silicon VLSI and High Speed GaAs Devices, SRC Technical Report No.: T86085, Integrated Circuits Laboratory, Stanford University, CA, October 1986

*mag. Boštjan Gspan, dipl. ing. el.,
Univerza v Ljubljani,
Fakulteta za elektrotehniko in računalništvo,
Laboratorij za mikroelektroniko,
Tržaška 25, Ljubljana*

Prispelo: 01.09.92

Sprejeto: 11.09.92