

PARALELNI ULAZNO-IZLAZNI MEĐUSKLOP-PUI*

Pripremljeno prema referatu prezentiranom na Savjetovanju MEET'93 (MIPRO),
Opatija, Svibanj 1993.

Goran Zelić, Krunoslav Martinčić, Mladen Skypala
Elektrotehnički fakultet, Zagreb, Hrvatska

Ključne riječi: polprevodnici, VLSI vezja, projektiranje vezij, celice standardne, PIO vmesniki vhodno-izhodno paralelni, PLA moduli, vodila mikroprocesorska, mikroprocesorji 8-bit, mikroprocesorji 16-bit

Sažetak: U ovom je radu opisan pristup projektiranju paralelnog ulazno-izlaznog sklopa (PUI sklop) kompatibilnog s 8 i 16 bitovnom sabirnicom mikroprocesora, koristeći modernu VLSI metodologiju projektiranja (standardne ćelije i PLA moduli). Opisan je koncept od razrade ideje do arhitekture koja je realizirana do razine maski.

Parallel Input-Output Interface-PUI

Prepared from the paper presented on the Symposium MEET'93 (MIPRO), Opatija, May 1993.

Key words: semiconductors, VLSI circuits, circuit design, standard cells, PIO parallel input-output interfaces, PLA programmable logic arrays, PLA modules, microprocessor buses, 8-bit microprocessors, 16-bit microprocessors

Abstract: This paper describes an approach to the design of parallel input-output interface (PUI device) compatible to 8 and 16 bit microprocessor buses using a modern VLSI design methodology (standard cells and PLA modules). Concept from idea to architecture, that is mask implemented, is described.

1. Uvod

Namjena PUI međusklopa je da olakša izgradnju različitih sklopova za upravljanje i nadzor industrijskih procesa koji su upravljani pomoću mikroprocesora. Premda za svaki mikroprocesor koji se koristi u takvim sklopovima postoji i paralelni međusklop za komunikaciju s vanjskim svijetom, povećani broj pristupa za prijenos podataka i upravljanje, mogućnost jednostavnog uklapanja na sabirnice postojećih 8 i 16 bitovnih porodica mikroprocesora (tipični predstavnici su: Intel /1/ i Motorola /2/) te ograničenje broja načina rada na šest koji se pretežno koriste u aplikacijama za industrijske potrebe, opravdava realizaciju PUI međusklopa.

Opisani međusklop ima slijedeće karakteristike: - programirljiv smjer prijenosa podataka (ulaz, odnosno izlaz) i način prijenosa (programski upravljani ili sklopovski upravljani preko upravljačkih linija);

- organizaciju perifernih linija u grupe od 8 ili 16 (ovisno o širini mikroprocesorske sabirnice, radi optimalnog iskorištenja ulazno izlazne propusnosti sustava);

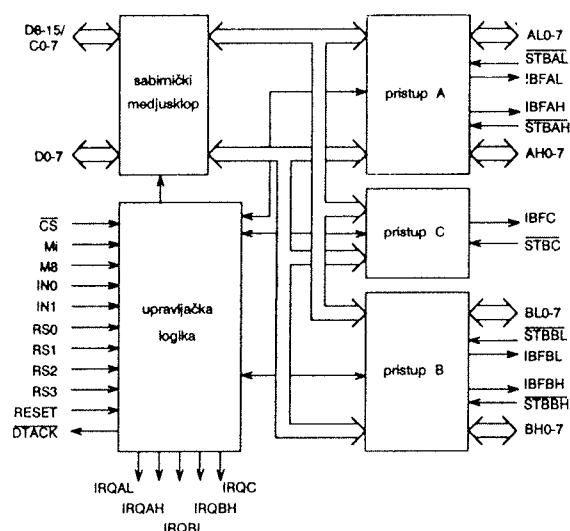
- postavljanje zahtjeva za prekid (posebnom linijom zahtjeva za prijenos podataka, pojavom stanja na vanjskim linijama koje odgovaraju stanju maske koja se može programski postaviti ili bilo kakvom promjenom stanja na vanjskim linijama u odnosu na stanje maske) te
- nezavisno programiranje odvojenih pristupa.

PUI međusklop projektiran je pomoću automatiziranih topologija: standardnih ćelija tvrtke AMD u 2 μ m SC MOS tehnologiji i PLA struktura.

2. Organizacija PUI međusklopa

PUI međusklop se sastoji od pet 8 bitovnih pristupa (AL, AH, BL, BH i C), upravljačke logike i internih sabirnica podataka (slika 1). U 8 bitovnoj konfiguraciji svi pristupi rade neovisno jedan o drugom i koriste samo osam nižih bitova mikroprocesorske sabirnice podataka (D0-D7). Gornjih osam bitova (D8-D15, odnosno C0-7) koristi pristup C za komunikaciju s perifernim sklopovljem. Ostala četiri pristupa imaju izvedene vlastite linije za komunikaciju (AL0-7, AH0-7, BL0-7, BH0-7). Priključenjem PUI međusklopa na 16 bitovni mikroprocesor pristup C se gubi (njegova je uloga da iskoristi osam podatkovnih linija koje se ne koriste kada je međusklop priključen na 8 bitovni mikroprocesor), a pristupi AL i AH te BL i BH se stapaju u dva 16 bitovna:

* Ovaj rad je dio znanstvenog projekta 2-07-266 Elektronika i mikroelektronika financiranog od Ministarstva znanosti Republike Hrvatske



Slika 1: Blok shema PUI međusklopa.

A i B. U ovoj konfiguraciji signalne linije pristupa AL i BL (zahtjev za prekid i linije za upravljanje prijenosom podataka sa perifernog sklopa, odnosno na periferni sklop) zadržavaju svoju funkciju, dok se one vezane uz pristupe AH i BH ne koriste.

Upravljačka logika, na temelju odabranog tipa mikroprocesora s kojim komunicira PUI međusklop i stanja upravljačkih signala na vanjskoj sabirnici, generira interne signale kao što su signali čitaj, odnosno piši i aktivira pristupe na koje se ti signali odnose. Interne sabirnice podataka služe za prijenos podataka između vanjske mikroprocesorske sabirnice podataka i pojedinih pristupa. U 8 bitovnoj konfiguraciji PUI međusklop koristi četiri linije (RS0-RS3) za odabir pristupa ili upravljačke riječi, dok u 16 bitovnoj konfiguraciji koristi samo dvije (RS1-RS2). Adresni prostor 8 i 16 bitovne konfiguracije prikazan je u tablici 1, odnosno u tablici 2. Svaki pristup ima lokaciju za podatke (AL, AH, BL, BH i C, odnosno A

RS3	RS2	RS1	RS0	Lokacija
0	0	0	0	AL
0	0	0	1	AH
0	0	1	0	BL
0	0	1	1	BH
0	1	0	0	C
0	1	1	0	CWAL
0	1	1	0	CWAH
0	1	1	1	CWBL
1	0	0	0	CWBH
1	0	0	1	CWC

Tablica 1: Adresni prostor 8 bitovne konfiguracije.

i B) i lokaciju za upisivanje upravljačke riječi (CWAL, CWAH, CWBL, CWBH i CWC, odnosno CWA i CWB), kako bi se omogućilo neovisno programiranje pojedinih pristupa.

Tablica 2. Adresni prostor 16 bitovne konfiguracije.

RS2	RS1	Lokacija
0	0	A
0	1	B
1	0	CWA
1	1	CWB

Upravljačka riječ koristi četiri bita (vidi tablicu 3): B3 određuje način komunikacije sa mikroprocesorom (0 programski, 1 s zahtjevom za prekid); B2 određuje da li se koriste upravljačke linije za komunikaciju s periferijom (0) ili se radi o uspoređivanju s maskom (1); B1 određuje način uspoređivanja s maskom (0 na pojavu, 1 na promjenu); B0 određuje smjer prijenosa podataka (0 ulaz, 1 izlaz).

Tablica 3. Upravljačka riječ 8 i 16 bitovne konfiguracije.

ne koristi se	B3	B2	B1	B0
15/7				0

Postoji šest načina rada koje PUI međusklop podržava i oni su dani u tablici 4. Kada se koriste načini s uspoređivanjem na masku potrebno je prvo upisati masku u željeni pristup pa tek onda promijeniti upravljačku riječ. Prilikom uključanja i reseta, svi bitovi upravljačke riječi prelaze u stanje 0 (programski upravljiv ulaz).

Tablica 4. Načini rada PUI međusklopa.

B3	B2	B1	B0	Način rada
0	X	X	0	programski upravljiv ulaz
0	X	X	1	programski upravljiv izlaz
1	0	X	0	ulaz (prekidni način rada)
1	0	X	1	izlaz (prekidni način rada)
1	1	0	X	prekid na pojavu stanja
1	1	1	X	prekid na promjenu stanja

PUI međusklop može se povezati sa četiri tipa mikroprocesora: Intel 8080 i 8086 te Motorola MC6800 i MC68000. Dvije signalne linije PUI međusklopa određuju o kojem se tipu mikroprocesora radi: M8 (1 8bitovni, 0 16bitovni). Ove linije, ovisno o tipu mikroprocesora, spajaju se na napajanje odnosno masu. Upravljačka logika na temelju stanja na navedenim linijama tumači dvije dodatne linije (IN0 i IN1) koje su spojene na vanjsku upravljačku sabirnicu mikroprocesora. Način spajanja pojedinih signala mikroprocesora na linije IN0 i IN1 prikazan je u tablici 5. Linije zahtjeva za prekid (IRQ) i linija RESET razlikuju se u aktivnom nivou za porodice Intel (aktivno visoko) i Motorola (aktivno nisko). Te linije se interno dekodiraju

u samom čipu (ovisno o stanju linije Mi) tako da nije potrebna dodatna logika.

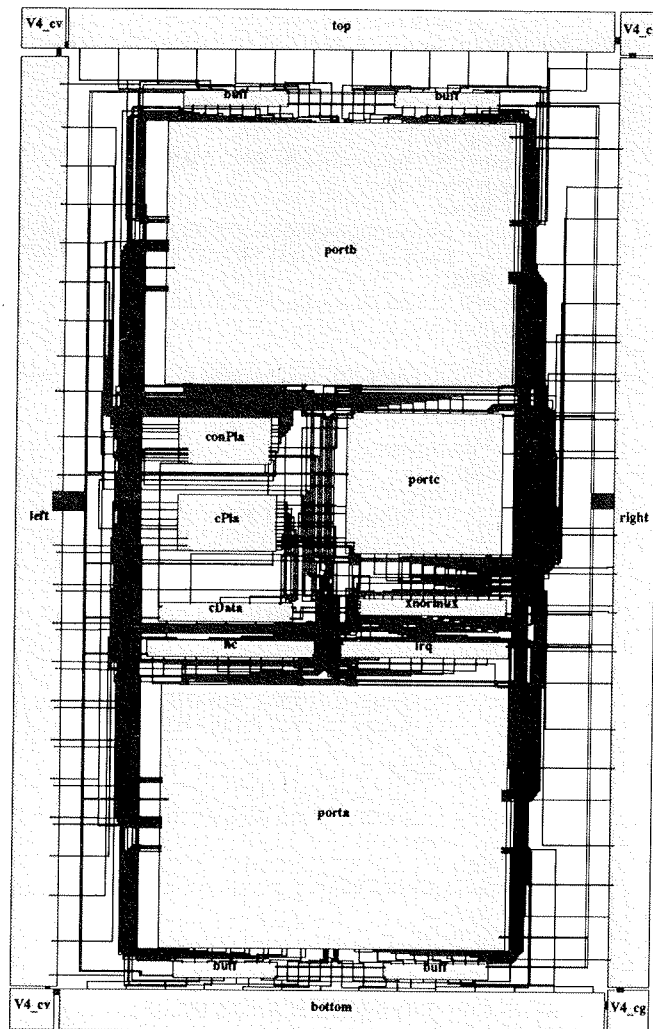
Tablica 5. Povezivanje PUI međusklopa na upravljačku sabirnicu procesora.

Mi	M8	IN0	IN1
0	0	RD	WR
0	1	W / RD	-
1	0	AS	R / W
1	1	ENABLE	R / W

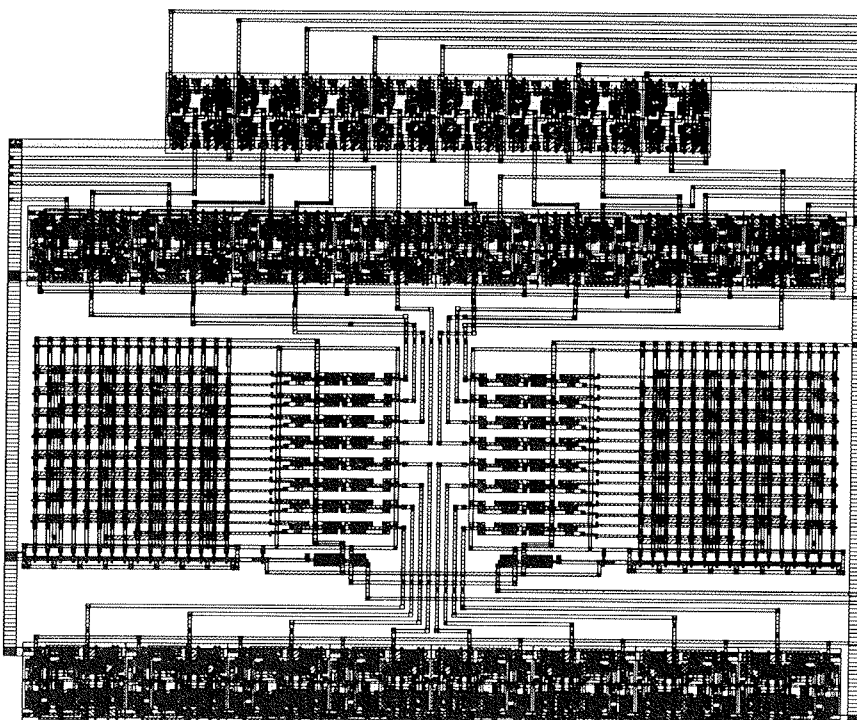
3. Realizacija PUI međusklopa

Za realizaciju PUI međusklopa korištene su automatizirane topologije: standardne ćelije i PLA strukture. Na topološkom prikazu PUI međusklopa (slika 2) vidljive su makroćelije od kojih se čip sastoji te veze između njih. Makroćelije **hc**, **irq**, **cData** i **xnormux** realizirane su standardnim ćelijama; **conPla** i **cPla** realizirane su PLA strukturama, dok **porta**, **portb** i **portc** koriste oba pristupa (slika 3). Na obodu čipa nalaze se vanjski priključci koji su razmješteni u makroćelije **left**, **right**, **top** i **bottom**. Razmještaj ćelija i povezivanje unutar makroćelija provedeno je ručno. Razmještaj makroćelija proveden je također ručno, dok se za povezivanje koristio program za globalno povezivanje **TimberWolfMC** i program za kanalno povezivanje **YACR2** /3/

Upravljačka logika, komparatori i dodatna logika u pristupima opisana je u jednoj varijanti jezika za opis ponašanja BDL (engl. behavioral description language) iz kojega se automatski generira PLA struktura za opisanu logičku funkciju. Jedan takav primjer dan je na slici 4 i predstavlja opis makroćelije **conPla**. U opisu su



Slika 2: Topološki prikaz PUI međusklopa



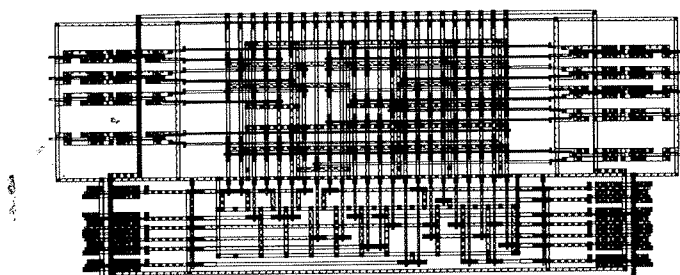
Slika 3: Topološki prikaz makroćelije **portc**, koja se sastoji od standardnih ćelija i Pla struktura.

```

model con Pla
  PSAL, PSAH, PSBL, PSBH, PSC, SCWAL, SCWAHM, SCWBL, SCWBH, SCWC, DTACKB, RD, WR =
  IN0, IN1, Mi, M8, CS, RS3, RS2, RS1, RS0;
routine PostSel <9:0> (rs < 3:0>, mikro < 0>, cs < 0>);
  state 0 <>, ps < 9:0>;
  for i from 0 to 9 do ps <i>= (rs EQL i) AND mikro;
  for i from 0 to 3 do
    begin
      ps <i>=ps <i> OR ((rs < 2:1> EQL (i SR0 1)) AND (NOT mikro));
      ps <5+i>=ps <5+i> OR ((rs < 2:1> EQL ((4+i) SR0 1)) AND (NOT mikro));
    end;
  for i from 0 to 9 do ps <i>=ps <i> AND cs;
  return ps <9:0>;
endroutine PostSel;
routine ReadWrite <1:0> (in1 <0>, in0 <0>, mib <0>, mikro <0>, cs <0>);
  state temp <1:0>, svar <1:0>;
  temp=0;
  svar=2*mib+mikro;
  select svar from
    |0|:begin
      temp <0>=NOT in1;
      temp <1>=NOT in0;
    end;
    |1|:begin
      temp <0>=in0;
      temp <1>=NOT in0;
    end;
    |2|:begin
      temp <0>=(NOT in0) AND (NOT in1);
      temp <1>=(NOT in0) AND in1;
    end;
    |3|:begin
      temp <0>=in0 AND (NOT in1);
      temp <1>=in0 AND in1;
    end;
  ;
  endselect;
  temp=temp AND (3*cs);
  return temp;
endroutine ReadWrite;
routine main;
  state temp <9:0>;
  temp <1:0>=ReadWrite(IN1, IN0, Mi, M8, CS);
  WR=temp <0>;
  RD=temp <1>;
  temp <9:0>=PostSel(8*RS3+4*RS2+2*RS1+RS0, M8, CS);
  PSAL=temp <0>;
  PSAH=temp <1>;
  PSBL=temp <2>;
  PSBH=temp <3>;
  PSC=temp <4>;
  SCWAL=temp <5>;
  SCWAH=temp <6>;
  SCWBL=temp <7>;
  SCWBH=temp <8>;
  SCWC=temp <9>;
  DTACKB=dont_care;
  if (Mi EQL 1) AND (M8 EQL 0) then
    DTACKB=NOT(WR OR RD);
  endif;
endroutine main;
endmodel conPla;

```

Slika 4: Ponašajni prikaz upravljačke PLA strukture.



Slika 5: Topološki prikaz upravljačke PLA strukture

navedene ulazne i izlazne signalne linije, te dvije procedure (PortSel i ReadWrite) koje opisuju interne signale. Nakon prevođenja prikazanog opisa u **PLA format** zapisa, te naknadne optimizacije logičkih funkcija, kreira se PLA struktura **conPla** čija je topologija prikazana na slici 5.

4. Zaključak

U ovom je radu opisan projekt paralelnog ulazno-izlaznog međusklopa i njegova realizacija upotrebom

moderne VLSI metodologije projektiranja. Upotrebom automatiziranih topologija (standardne ćelije i PLA strukture), te programa za automatsko povezivanje, znatno je smanjeno vrijeme potrebno za projektiranje topologije čipa. Grafičko sučelje i jezik za opis ponašanja također su pridonijeli uštedi vremena. Najveću teškoću prilikom realizacije topologije čipa predstavljao je razmještaj standardnih ćelija i PLA struktura. Budući da nam nije bio na raspolaganju odgovarajući programski modul za automatski razmještaj, on je proveden ručno. Trenutne mogućnosti dozvolile su realizaciju PUI međusklopa samo do razine topologije ali ne i do konkretne realizacije u siliciju.

Reference:

/1/ Intel: Microprocessor and Peripheral Handbook, Volume II-Peripheral, 1987.

/2/ J. Michael Bennett: 68000 Assembly Language Programmung A Structured Approach, Prentice-Hall international Editions, New Jersey, 1987.

/3/ J.Reed, A.Sangiovanni-Vincentelli, M.Santomauro: A New Symbolic Channel Router: YACR2, IEEE Trans. on CAD, vol. 4, no. 2, July 1985, pp. 208-219.

Prispelo (Arrived): 21.07.93

Sprejeto (Accepted): 16.02.94

mr. Goran Zelić,
Krunoslav Martinčić, dipl. ing.
Mladen Skypala, student
Elektrotehnički fakultet, Zavod za elektroniku
Avenija Vukovar 39, Zagreb
tel. 00 85-41-629 924
fax. 00 385-41-629 653