

IZVEDBA NEREKURZIVNEGA DIGITALNEGA SITA S PROGRAMIRLJIVIM POLJEM LOGIČNIH VEZIJ V STRUKTURI PORAZDELJENE ARITMETIKE

Davorin Osebik, Boris Kostanjevec*, Bojan Jarc, Mitja Solar, Rudolf Babič
Univerza v Mariboru, Fakulteta za elektroniko, računalništvo in informatiko
Maribor, * Iskra TEL, Kranj

Ključne besede: FIR filtri digitalni s trajanjem omejenim odziva impulznega, FIR sita digitalna nerekurzivna, DSP procesiranje signalov digitalno, aritmetika porazdeljena, izvedbe praktične, FPGA vezja logična s poljem programirljivim, LCA vezja logična polj celičnih

Povzetek: V članku je opisana izvedba uniziverzalne strukture nerekurzivnega digitalnega sita s 15 koeficienti v porazdeljeni aritmetiki z LCA vezji firme Xilinx. Pri tem smo uporabili takšno strukturo, ki omogoča izračun izhodnega signala po klasičnem in po modificiranem postopku porazdeljene aritmetike. Z opisano aparaturno opremo smo pri izbranem nizkoprepustnem situ dosegli slabljenje 30 dB in frekvenco vzorčenja 333 kHz. Meritev amplitudnih frekvenčnih odzivov sita smo opravili z digitalnim generatorjem belega šuma na vходу sita. Modificirana oblika porazdeljene aritmetike zagotavlja povečanje dinamičnega območja izhodnega signala.

The FIR Digital Filter Realization with the Field Programmable Gate Array in Distributed Arithmetic Structure

Keywords: FIR digital filters, finite-impulse response digital filters, DSP, digital signal processing, distributed arithmetic, practical implementations, FPGA, field programmable gate arrays, LCA circuits, logical cell arrays

Abstract: In this article the hardware realization of 15 tap general FIR digital filter in the distributed arithmetic structure with field programmable gate arrays is presented.

This hardware structure is suitable for the implementation of digital filters with arbitrary frequency response. The comparison between standard and modified distributed arithmetic structure is also presented and the increase of the dynamic range of the output signal for 6 dB with modified distributed arithmetic structure is shown. Digital filter consist of 12 bit analog to digital and 12 bit digital to analog converters, two Xilinx LCA circuits XC 3042 and 32k x16 bit EPROM capacity with access time of 100 ns. The response of implemented low pass filter with pass band frequency $f_p = 0.1f_s$ and stop band frequency $f_s = 0.2f_s$ is obtained as frequency sweep method and for comparison with FFT of the output signal when filter is excited with digital white noise signal in input.

In this complexity the attenuation of 30 dB and sample frequency f_s of 333 kHz is obtained. Because of 19 bit complexity of the arithmetic unit the quantization error of the output signal is less than 10^{-3} .

1. Uvod

Nerekurzivna digitalna sita so zaradi linearnega faznega odziva zelo zanimiva za področje digitalne obdelave signalov.

Pri aparaturni izvedbi digitalnih sit je pomembna izbira izvedbene oblike. Osnovni kriteriji, ki vplivajo na izbiro so: dobro ujemanje med izračunanimi in izmerjenimi rezultati, majhna aparaturna kompleksnost in velika hitrost delovanja.

Struktura, ki temelji na porazdeljeni aritmetiki in ROM pomnilniku, v katerem so zapisane vnaprej izračunane delne vsote koeficientov, se je pokazala primerna tudi pri aparaturnih izvedbah digitalnih sit [1]. Za izvedbe, ki smo jih doslej naredili s standardnimi integriranimi komponentami [2], bomo odslej uporabili programirljiva polja logičnih vezij (FPGA, LCA vezja). Merilne rezultate amplitudnega in faznega odziva sita smo dobili s klasično merilno metodo in z uporabo hitre Fourierjeve transformacije izhodnega signala pri vzbujanju sita z

belim šumom. Za ta namen smo uporabili lastni digitalni generator belega šuma [3]. Vhodne in izhodne vrednosti signalov pa smo zajemali z logičnim analizatorjem.

2. Nerekurzivno digitalno sito v strukturi porazdeljene aritmetike

S porazdeljeno aritmetiko je označen postopek izračuna skalarnega produkta dveh vektorjev na elementarnem bitnem nivoju brez uporabe običajnih množilnikov.

2.1. Klasična oblika porazdeljene aritmetike

Nerekurzivno digitalno sito je običajno podano s splošno konvolucijsko enačbo

$$y(k) = \sum_{n=0}^N h(n) \cdot x(k-n) \quad (1)$$

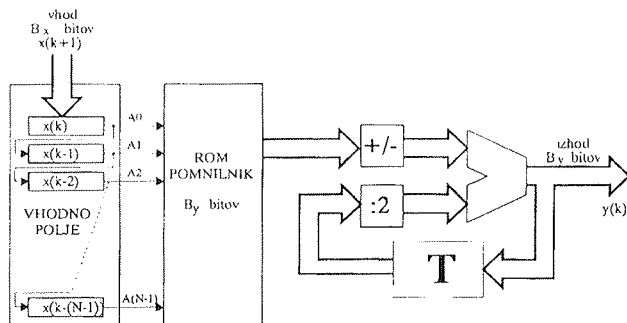
ki določa zvezo med vhom $x(k)$ in izhodom $y(k)$, pri tem so $h(n)$ označeni koeficienti impulznega odziva. Z upoštevanjem digitalne predstavitve vhodnega signala z B_x bitno besedo v dvojiški obliki, dobimo po krajši izpeljavi enostavnejši zapis določitve izhodne vrednosti $y(k)$

$$y(k) = \sum_{i=1}^{B_x-1} v_i(k) \cdot 2^{-i} - v_0(k) \quad (2)$$

Pri tem so z v_i označene delne vsote koeficientov, ki jih izračunamo po enačbi

$$v_i(k) = \sum_{n=1}^{N-1} h(n) \cdot b_i(k-n) \quad (3)$$

Pri uporabi konstantnih koeficientov digitalnega sita so $v_i(k)$ konstantne vrednosti in jih običajno zapišemo v pomnilnik vrste ROM. V (3) so z b_i označeni i -ti biti v vhodnem polju. Na sliki 1 je prikazana struktura nerekurzivnega digitalnega sita v klasični obliki porazdeljene aritmetike.



Slika 1: Struktura nerekurzivnega digitalnega sita v klasični obliki porazdeljene aritmetike

V tabeli 1 so za ilustracijo podane značilne delne vsote koeficientov za klasično obliko porazdeljene aritmetike.

Tabela 1: Značilne delne vsote koeficientov pri klasični obliki porazdeljene aritmetike

	naslovni vektor	delna vsota
0	0...000	0
1	0...001	h_0
2	0...010	h_1
3	0...011	$h_0 + h_1$
4	0...100	h_2
.	.	.
.	.	.
2^{N-1}	1...111	$h_{N-1} + h_{N-2} + \dots + h_0$

2.2. Nerekurzivno digitalno sito v strukturi modificirane oblike porazdeljene aritmetike

Pri dvojiškem zapisu vhodnega signala je v vhodnem polju z 1000...0 zapisana najmanjša (negativna) vrednost, z 0111...1 pa največja (pozitivna) binarna vrednost.

Modificirano obliko porazdeljene aritmetike dobimo, če pred vpisom v vhodno polje vhodni bipolarni signal pretvorimo v unipolarno obliko /4/. Tedaj izraz za izračun izhodnega signala v enačbi (2) preide v

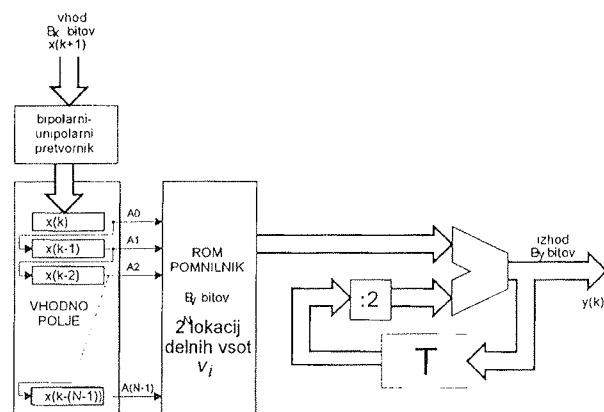
$$y(k) = y_m(k) = \sum_{i=0}^{B_x-1} v_{im}(k) \cdot 2^{-i} \quad (4)$$

pri čemer so z $v_{im}(k)$ označene modificirane vrednosti delnih vsot koeficientov.

Zaradi spremenjene vrednosti vhodnega signala je potrebno v vhodnem polju delne vsote koeficientov simetrirati in normirati. Postopek simetriranja je odvisen od vrste frekvenčne karakteristike in ga izvedemo za vsako sito posebej. Značilne modificirane delne vsote koeficientov $v_{im}(k)$ so prikazane v tabeli 2.

Tabela 2: Značilne delne vsote koeficientov pri modificirani obliki porazdeljene aritmetike

	naslovni vektor	modificirana delna vsota
0	0...000	$1/2(-h_0-h_1-h_2-\dots-h_{N-1})$
1	0...001	$1/2(+h_0-h_1-h_2-\dots-h_{N-1})$
2	0...010	$1/2(-h_0+h_1-h_2-\dots-h_{N-1})$
3	0...011	$1/2(-h_0+h_1-h_2-\dots-h_{N-1})$
4	0...100	$1/2(-h_0+h_1-h_2-\dots-h_{N-1})$
.	.	.
.	.	.
2^{N-1}	1...111	$1/2(+h_0+h_1+h_2+\dots+h_{N-1})$



Slika 2: Digitalno sito v modificirani obliki porazdeljene aritmetike

Novo modificirano strukturo nerekurzivnega digitalnega sita v porazdeljeni aritmetiki prikazuje slika 2.

Posebna prednost modificirane oblike je v povečani dinamiki izhodnega signala. Prisotna je tudi zmanjšana kompleksnost strukture, ki pa pri izvedbi z LCA elementi ni tako aktualna.

3. Xilinxova vezja družine XC3000 in razvojni paket XACT 5.0

Sito smo napravili s programirljivimi Xilinoxovimi LCA vezji družine XC3000. Oglejmo si osnovne značilnosti LCA vezij in Xilinoxovega razvojnega programskega paketa XACT 5.0.

3.1. Arhitektura LCA vezij

Arhitekturo LCA vezij v splošnem sestavljajo trije tipi programirljivih elementov:

Vhodno izhodni bloki (IOB) so razporejeni po obrobju LCA vezja in služijo za povezovanje z zunanjim svetom. Na vhodne priključke je možno programsko priključiti dvizhne upore in določiti hitrost naraščanja izhodnega signala. Uporabimo jih lahko tudi kot tristanjski vmesnik ali pa kot zadrževalnik.

Konfiguracijski logični bloki (CLB) so osnovni gradniki LCA logičnih vezij. Vsak CLB vsebuje dva D flip flopa in logični kombinatorni del, s katerim je možno realizirati pet vhodno funkcijo z dvema različnima izhodoma.

Programirljivi povezovalni elementi so namenjeni za povezovanje posameznih elementov znotraj LCA strukture. Za različne časovne zahteve in načine povezovanja ločimo naslednje povezovalne elemente. Vz dolžne in navpične dolge povezovalne linije oblikujejo mrežo v LCA vezju. Namenjene so za signale, ki morajo prepotovati večje razdalje v strukturi in imeti minimalne časovne zakasnitve.

Neposredne povezave so povezave med posameznimi sosednjimi elementi znotraj LCA strukture. To so lahko povezave med konfiguracijskimi logičnimi bloki ali pa vhodno izhodnimi bloki.

Splošne povezave so mreža metalnih odsekov, ki ležijo horizontalno in vertikalno v prostoru. Skupaj s stikalnimi matrikami povezujejo elemente v LCA strukturi.

3.2. Inicializacija LCA vezij

Uporabljena LCA vezja temeljijo na SRAM tehnologiji. To pomeni, da jih je potrebno pred vsakim vklopom napajalne napetosti ponovno inicializirati. V notranjosti LCA vezja je logika, ki samodejno ob vklopu napajanja sproži inicializacijsko sekvenco. Inicializacijska vsebina je zapisana v klasičnem EPROM pomnilniku. Pri uporabi večih LCA vezij na tiskanem vezju je možno iz enega EPROM pomnilnika inicializirati več LCA naprav. Pri tem prva (glavna) naprava krmili inicializacijo ostalih naprav. Vse naprave pa začnejo delovati v uporabi

niškem načinu ob istem času, s tem pa je doseženo sinhrono delovanje in ni potrebe po dodatnih sinhronizacijskih linijah.

3.3. Razvojni paket XACT 5.0

Načrtovanje sita z razvojnimi paketom XACT 5.0 ne poteka s primitivnimi elementi, ki so opisani v poglavju (3.1), ampak z vnaprej pripravljenimi makroji. Xilinoxov razvojni paket XACT 5.0 ima bogato knjižnico z makroji v obliki večbitnih števnikov, pomikalnih registrov, zadrževalnikov in seštevalnikov.

Z njim je bilo omogočeno enostavnejše in preglednejše načrtovanje vezij z vnaprej opisanimi makroji kot so seštevalniki, števcji, registri in multipleksorji.

Razvojni paket XACT 5.0 pa omogoča tudi uporabo X-blokov. Uporaba X-blokov podpira vektorski pristop načrtovanje posameznih struktur. Strukturo načrtamo z elementi iz knjižnice X-blokov. Širino strukture pa določimo kasneje, glede na zahteve aplikacije. Pri tem načrtovanju so dodatno upoštevane strukturne značilnosti posamezne družine, zato je učinkovitejši program za avtomatsko razmeščanje in povezovanje (APR) elementov. To pa doprinese tudi večji koncentraciji elementov znotraj LCA strukture in omogoča višje hitrosti delovanja vezij. Večino izhodnega LCA vezja smo načrtali z uporabo elementov iz knjižnice X-blokov.

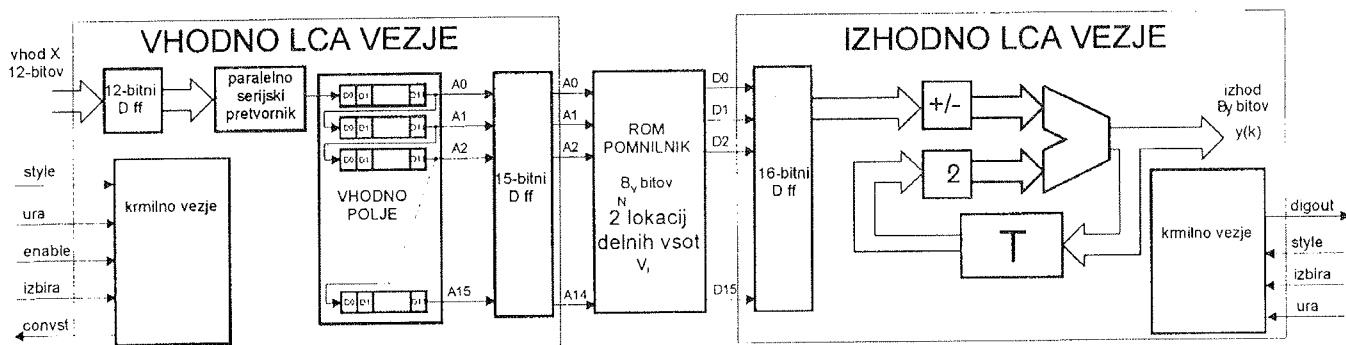
4. Izvedba

Digitalno sito smo izvedli z LCA vezji družine XC3000 /6/, ki so glede na velikost zadoščala našim potrebam. Za povezavo sita z okoljem smo predvideli dve možnosti glede na zahteve za praktično uporabo.

- Za povezavo sita z analognim okoljem smo uporabili 12-bitni AD pretvornik na vhodu in 12-bitni DA pretvornik na izhodu.
- Za povezavo z digitalnim okoljem pa smo uporabili kar 12-bitni digitalni vhod in izhod za neposredno priključitev digitalnega generatorja belega šuma na vhodu in logičnega analizatorja na izhodu.

V izvedbi smo zagotovili 12-bitno dolžino vhodno izhodne besede. Dolžina besede za zapis delnih vsot koeficientov v pomnilniku je 16-bitna, medtem, ko je dolžina besede v aritmetičnem delu sita 19-bitna.

Digitalno sito sestavljata dve LCA vezji XC3042 in pomnilnik vrste EROM. Pri digitalnem situ s 15 koeficienti potrebujemo pomnilnik s kapaciteto 32k besed. V vhodnem LCA vezju smo izvedli vhodno polje, v izhodnem LCA vezju pa aritmetični del strukture. Za izvedbo digitalnega sita v dveh LCA vezjih smo se odločili zaradi potrebnega števila logičnih konfiguracijskih blokov in potrebnega števila vhodno izhodnih priključkov. Tudi struktura porazdeljene aritmetike je takšna, da izvedba v dveh LCA vezjih ne zmanjša hitrosti in ne natančnosti izračuna izhodnega signala. Blokovna shema je prikazana na sliki 3.



Slika 3: Blokovna shema celotnega sita

4.1. Vhodno LCA vezje

Vhodno LCA vezje je prikazano na sliki 4. Vsebuje paralelno serijski pretvornik, vhodno polje in krmilno vezje. Vhodni zadrževalnik zajema vhodno besedo $x(k)$ z vhodnega podatkovnega vodila s frekvenco vzorčenja 333 kHz. 12-bitni paralelno serijski pretvornik jo vpiše v vhodno polje. Vhodno polje je pomični register velikosti 180 bitov in je namenjeno za generiranje naslovnega vektorja za naslavljanje delnih vsot koeficientov, ki so zapisane v EPROM pomnilniku.

Krmilno vezje omogoča delovanje sita v glavnem ali pa pomožnem načinu. Način delovanja izbiramo z linijo IZBIRA. S kontrolno linijo STYLE pa izbiramo med klasično obliko porazdeljene aritmetike in med modificirano obliko porazdeljene aritmetike. Zasedenost vhodnega LCA vezja je bila po številu konfiguracijskih logičnih blokov 72%, po številu vhodno izhodnih blokov pa 34%.

4.2. Izhodno LCA vezje

V izhodnem LCA vezju smo izvedli aritmetični del digitalnega sita. Zaradi zmanjšanja vpliva kvantizacije na izračun izhodne besede $y(k)$ in dovoljene prekoračitve vmesnih rezultatov preko absolutne vrednosti 1 smo uporabili 19-bitno širino strukture s seštevnikom in zadrževalnim registrom. Aritmetični del je načrtan z elementi iz knjižnice X-blokov. Na sliki 5 je prikazana načrtana struktura izhodnega LCA vezja. V izhodnem LCA vezju je tudi krmilno vezje, ki je skoraj povsem identično s krmilnim vezjem v vhodnem LCA vezju. S tem smo dosegli sinhrono delovanje vhodnega in izhodnega LCA vezja. Zaradi takšnega načina delovanja ne potrebujemo linije za sinhronizacijo izhodnega LCA vezja z vhodnim LCA vezjem. Izračunano izhodno vrednost $y(k)$ pripeljemo ločeno na izhodno vodilo za 12-bitni digitalni izhod, ali pa neposredno na podatkovno vodilo D/A pretvornika.

Zasedenost izhodnega LCA vezja je bila po številu konfiguracijskih logičnih blokov 48%, po številu vhodno izhodnih blokov pa 50%. Shema vezja kaže slika 5.

5. Rezultati

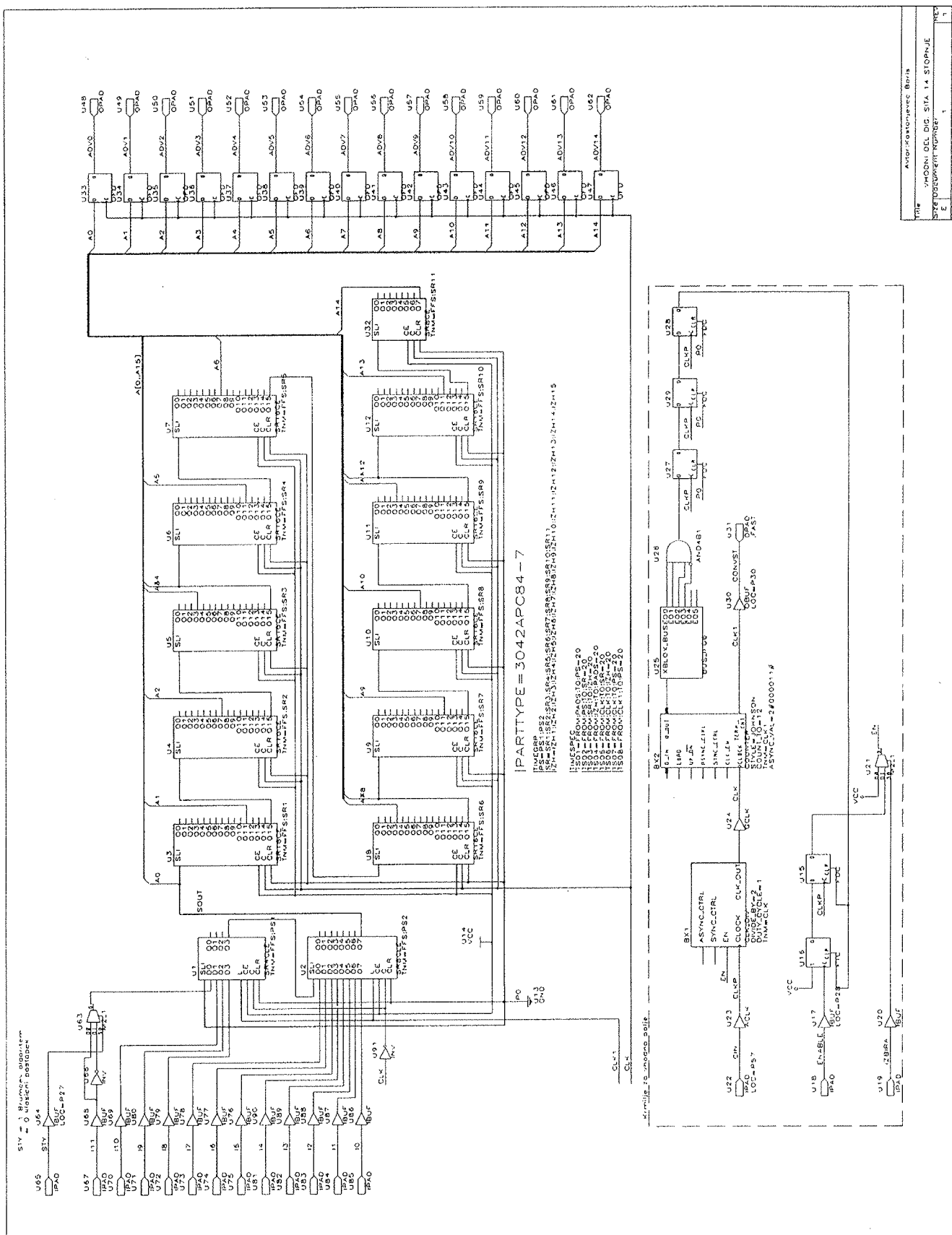
Univerzalna struktura opisanega digitalnega sita omogoča izvedbo poljubne oblike amplitudne frekvenčne karakteristike. Ogledali si bomo nizkoprepustno sito s 15 koeficienti, ki ima relativno prepustno frekvenco $f_p = 0.1f_v$, in relativno zaporno frekvenco $f_z = 0.2f_v$. Z f_v je označena frekvenca vzorčenja. Koeficienti sita, ki določajo ta frekvenčni odziv sita, so zapisani v tabeli 3.

Tabela 3: Koeficienti nizkoprepustnega digitalnega sita

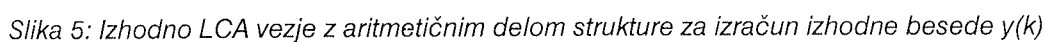
$h(n)$	nizkoprepustno sito $f_p = 0.1; f_z = 0.2$
$h(0)=h(14)$	1.326373E-02
$h(1)=h(13)$	-2.275006E-02
$h(2)=h(12)$	-4.475454E-02
$h(3)=h(11)$	-3.804951E-02
$h(4)=h(10)$	0.0271117
$h(5)=h(9)$	0.1419171
$h(6)=h(8)$	0.2543791
$h(7)$	0.3012954

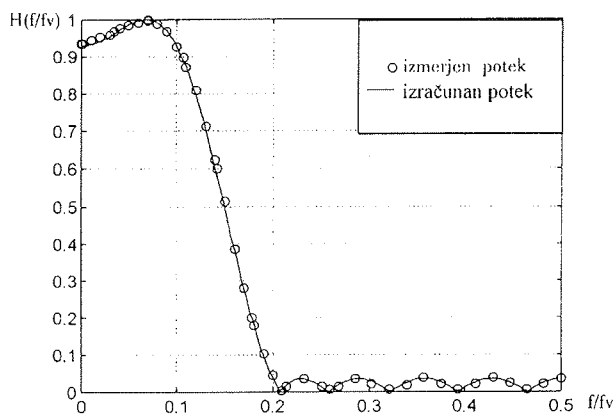
5.1. Meritev amplitudnega odziva z analognim generatorjem spremenljive frekvence

To je klasična merilna metoda za meritev amplitudnega frekvenčnega poteka. Na vходу sita smo uporabili generator sinusnega signala spremenljive frekvence. Frekvenca vzorčenja je bila 333 kHz. Meritev smo opravili v pričakovanih točkah amplitudnega odziva. Na sliki 6 sta prikazana izračunani in izmerjeni amplitudni frekvenčni odziv v absolutnem merilu.



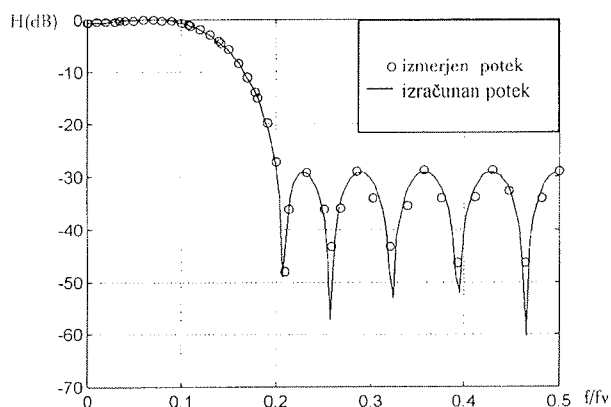
Slika 4: Vhodno LCA vezje z vhodnim poljem za generiranje naslovnega vektorja in krmilnim vezjem





Slika 6: Primerjava med izračunanim in izmerjenim amplitudnim odzivom digitalnega sita v absolutnem merilu za modificirano obliko digitalnega sita

Zaradi boljšega pogleda na razmere v zapornem področju frekvenčne karakteristike sta na sliki 7 prikazana izračunani in izmerjeni amplitudni odziv v logaritemskem merilu.

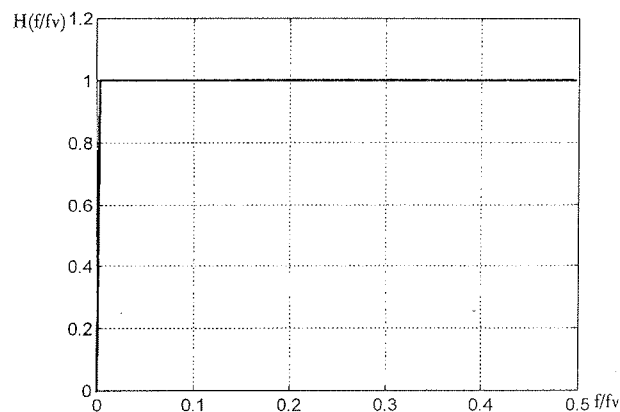


Slika 7: Amplitudni odziv digitalnega sita v logaritemskem merilu za modificirano obliko porazdeljene aritmetike

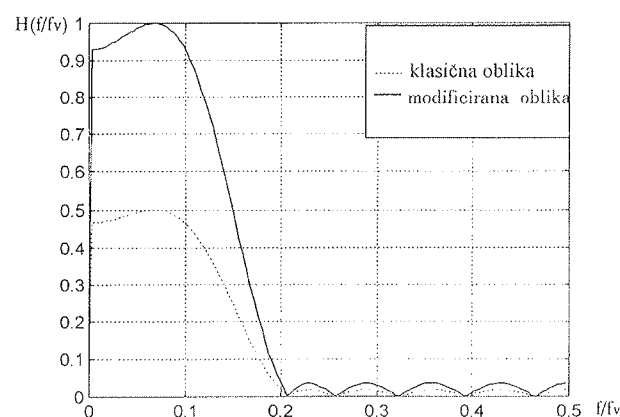
5.2. Meritev amplitudnega in faznega odziva z uporabo digitalnega generatorja belega šuma

Z uporabo digitalnega generatorja belega šuma na vходу digitalnega sita dobimo odziv vezja na beli šum. Izhodne vrednosti $y(k)$ smo zajemali z logičnim analizatorjem, dobljene podatke pa obdelali s programskim paketom Matlab /5/. S hitro Fourierjevo transformacijo dobimo praktično zvezni frekvenčni odziv.

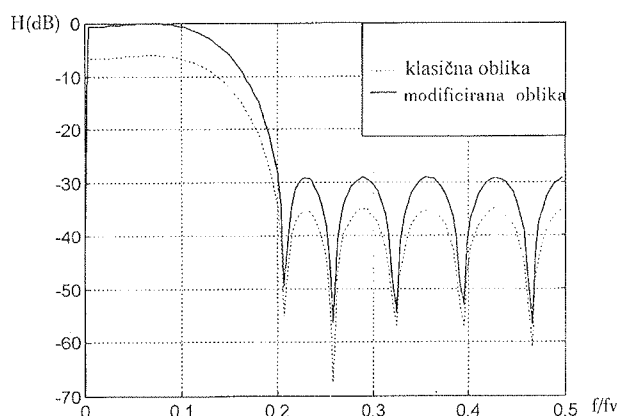
Ker smo meritve opravljali na situ s petnajstimi koeficienti, je za dovolj natančno meritev zadostoval beli šum z 256 naključnimi vzorci v periodi. Na sliki 8 je prikazan amplitudni spekter vhodnega belega šuma, ki smo ga pripeljali na vhid sita, na slikah 9 in 10 pa sta prikazana amplitudna odziva digitalnega sita v klasični in modificirani obliki porazdeljene aritmetike v absolutnem in logaritemskem merilu.



Slika 8: Frekvenčni spekter vhodnega signala



Slika 9: Primerjava amplitudnih odzivov digitalnega sita po klasičnem in modificiranem postopku

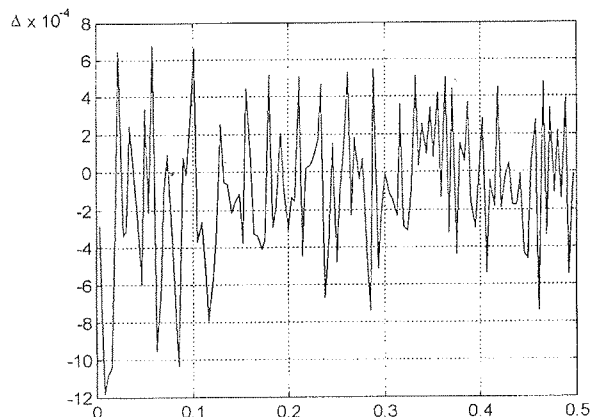


Slika 10: Primerjava amplitudnih odzivov digitalnega sita po klasičnem in modificiranem postopku

Čeprav dosežemo pri obeh strukturah isto vrednost slabljenja približno 30dB, pa je pri uporabi modificirane strukture porazdeljene aritmetike lepo vidno povečanje dinamičnega območja za 6dB.

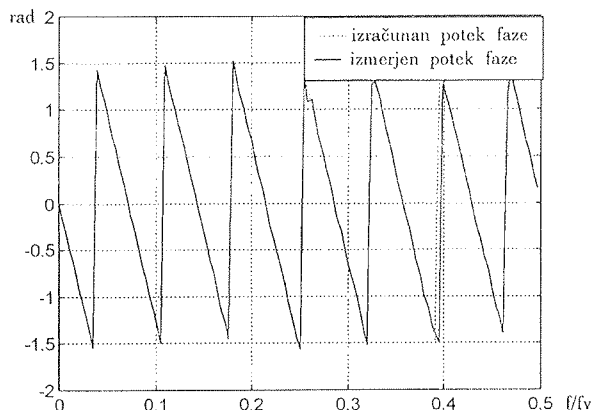
Izmerjeni rezultati amplitudnega odziva z uporabo digitalnega generatorja belega šuma se zelo dobro ujemajo

z izračunanimi vrednostmi. Na sliki 11 podajamo odstopanje izmerjenega amplitudnega odziva od izračunanega, ki je reda 10^{-3} . Odstopanje je podano za modificirano obliko digitalnega sita.



Slika 11: Odstopanje med izmerjenim in izračunanim amplitudnim odzivom digitalnega sita v modificirani obliki porazdeljene aritmetike

Z uporabo simetričnih koeficientov ima naše sito linearni potek faze v celotnem frekvenčnem področju. Potek faze se dobro ujema z izračunanim potekom. Potrebno je pa vedeti, da je bila pri izračunu poteka faze odpravljena zakasnitev $T=1/f_v=3\mu s$, ki jo je vnašalo digitalno sito.



Slika 12: Potek faze pri modificirani obliki digitalnega sita.

6. Zaključek

Prikazali smo, da omogočajo programirljiva polja logičnih vezij enostavno in uspešno izvedbo nerekurzivnih digitalnih sit, posebej, če sita izvedemo v strukturi porazdeljene aritmetike. S primerjavo med klasično in modificirano obliko smo pokazali, da dosežemo z modificirano obliko strukture porazdeljene aritmetike pri isti vrednosti slabljenja v zapornem frekvenčnem področju za 6 dB večje dinamično območje izhodnega signala.

Univerzalna struktura nerekurzivnega digitalnega sita je izvedena v dveh LCA vezjih XC3042. Pri izbiri vezij iz družine XC4000 bi zadostovalo tudi eno samo vezje. Pri 12-bitni kvantizaciji vhodnega in izhodnega signala, smo izbrali 16-bitni pomnilnik za zapis delnih vsot koeficientov ter 19-bitno aritmetično enoto. Pri takšni kompleksnosti vezja smo za nizko prepustno sito s petnajstimi koeficienti ter zahtevanimi parametri $f_p=0.1f_v$ in $f_z=0.2f_v$ dosegli slabljenje 30dB. Frekvenca vzorčenja f_v je bila 333 kHz.

Frekvenčne odzive smo izmerili na dva načina:

- po klasičnem postopku merjenja amplitudnega in faznega odziva z generatorjem spremenljive frekvence sinusnega signala in
- meritev z uporabo digitalnega generatorja belega šuma na vhodu sita, pri čemer smo amplitudni in fazni odziv izračunali s hitro Fourierjevo transformacijo izhodnega signala. Izhodni signal smo zajeli z logičnim analizatorjem.

V primeru našega sita se rezultati lepo ujemajo.

7. Literatura

- /1/ B. Liu, A. Peled, A New Hardware Realization of Digital Filters. IEEE Trans. on A. S. S. P., Vol. ASSP 22, pp. 456-462, Dec 1974.
- /2/ K. Korošec, A. Vesenjaj, B. Jarc, M. Solar, R. Babič, Izvedba nerekurzivnega digitalnega sita s standardnimi komponentami v modificirani obliki porazdeljene aritmetike, Informacije Midem, Letnik 26, št.2(78), strani 107-112, Ljubljana, junij 1996
- /3/ M. Solar, R. Babič, B. Jarc, F. Kričaj, Digitalni generator šuma, Zbornik 5. elektrotehniške in računalniške konference, ERKŽ96, Portorož, Slovenija, 1996.
- /4/ B. Jarc, R. Babič, M. Solar, M. Brumec, Modificirana oblika porazdeljene aritmetike, Zbornik 5. elektrotehniške in računalniške konference, strani 113-116, Portorož, Slovenija, 1996.
- /5/ Thomas P. Krauss, Loren Shure, John N. Little, Signal Processing Toolbox, For Use with MATLAB. The MathWorks inc. februar 1994
- /6/ Xilinx, The Programmable Logic Data Book, San Jose, 1995

doc. dr. Rudolf Babič, dipl. inž.

doc. dr. Mitja Solar, dipl. inž.

Davorin Osebik, dipl. inž.

Bojan Jarc, dipl. inž.

Univerza v Mariboru

Fakulteta za elektrotehniko, računalništvo
in informatiko

Smetanova 17

2000 Maribor

tel. +386 (0)62-25 461

fax: +386 (0)62 225 013

Boris Kostanjevec, dipl.inž.

Iskra TEL, Kranj