

ADAPTIVNA DIGITALNA SITA V STRUKTURI PORAZDELJENE ARITMETIKE

Davorin Osebik, Rudolf Babič, Bogomir Horvat

Fakulteta za elektrotehniko, računalništvo in informatiko, Univerza v Mariboru, Slovenija

Ključne besede: DSP obdelava signalov digitalna, filtri digitalni prilagodljivi, FIR filtri digitalni nerekurzivni s trajanjem omejenim odziva pulznega, aritmetika porazdeljena, izračun neposreden delnih vsot koeficientov, izločanje šuma, FPGA vezja logična s poljem programirljivim, VHDL jezik opisni hardwareski vezji integriranih hitrosti zelo visokih, rezultati praktični

Povzetek: V članku je opisana izvedba adaptivnega nerekurzivnega digitalnega sita s programirnimi logičnimi (FPGA) vezji v strukturi porazdeljene aritmetike. Za načrtovanje smo uporabili programski paket OrCad Express, s programskim paketom XACT pa smo opravili implementacijo celotne strukture vezja v dve programirni vezji firme Xilinx. Adaptivno FIR digitalno sito 15. stopnje, s 16-bitno dolžino registrov za zapis vhodno-izhodnega signala in 16 do 24 bitno aritmetično logično enoto, smo izvedli vezjema XC4013E in XC4020E. Digitalno FIR sito smo načrtali v strukturi porazdeljene aritmetike s sprotnim izračun delnih vsot koeficientov. Pri osnovnih urinih impulzih s frekvenco 20MHz, smo dosegli frekvenco vzorčenja vhodnega signala 100kHz. Za verifikacijo delovanja smo adaptivno sito in vhodne signale opisali v VHDL jeziku. Izdelano adaptivno sito je namenjeno izločanju šuma iz koristnega signala. Za testiranje adaptivnega sita smo uporabili koristen harmonični signal s frekvenco 1 kHz na katerega je bil superponiran pasovno omejen beli šum. Razmerje signal šum smo izboljšali za 18 dB.

Adaptive Digital Filter Implementation with Distributed Arithmetic Structure

Keywords: DSP, Digital Signal Processing, adaptive digital filters, FIR irrecurive digital filters, Finite-duration Impulse Response irrecurive digital filters, distributed arithmetic, direct calculation of partial products of coefficients, noise cancellation, FPGA, Field-Programmable Gate Arrays, VHDL, VHSIC Hardware Description Language, Very High Speed Integrated Circuits Hardware Description Language, practical results

Abstract: Adaptive digital filters have a wide range of applications in the area of signal processing where only minimum a priori knowledge of signal characteristics is available. In this article the adaptive FIR digital filter implementation based on the distributed arithmetic technique is described. The major problem with conventional adaptive digital filter is the need for fast multipliers. When using a hardware implementation, these multipliers take up the disproportional amount of the overall cost and complexity. The distributed arithmetic filter structure is the way to overcome this problem because no classical multipliers is needed in the designing of the adaptive filtering structure. With FPGA realization of such a structure offers a large increase in hardware efficiency over conventional digital adaptive filter implementation. The basic adaptive digital structure is shown in figure 5 with circuitry of FIR digital filter and with arithmetic-logic unit for the filter weights calculation by an adaptive algorithm towards their optimum values. For partial products calculation in the inner distributed arithmetic structure the simultaneously, or direct principle is used and with this procedure the RAM memory for storing of the partial product is omitted. The computer simulation of the mathematical model of the whole structure in Matlab Simulink environment is used to verify our discussion. For verification purposes of the mathematical model and input signals description the VHDL language is used. Although it is not exactly identical to the real hardware realization, results from the simulation are used to analyse the performance and of the system.

The Xilinx FPGA circuits XC 4013E and XC 4020E and software package XACT is used for the 16 taps adaptive digital filter realization. In the first circuit the FIR digital filter structure with complexity of 16 bits input-output word length and with 16 to 24 bits word length of internal arithmetic-logic unit is implemented, and the second circuit for the arithmetic unit for adaptive filter taps calculations is used. The whole hardware structure is simulated with OrCAD Express. Preliminary estimate of devices utilization are presented in table 1 for XC 4013 E and in table 2 for XC4020 E respectively. With 20 MHz clock frequency the input signal sampling frequency of 100 kHz is obtained.

One of the most common applications of adaptive filters is noise cancellation. The experimental results demonstrate the capability of the filter for the interference signal cancellation. Block diagram of an adaptive noise cancellation structure is shown in figure 2. The input desired signal $d(k)$ is a 1kHz harmonic signal corrupted with a band limited white noise signal and is shown in figure 10 and figure 11. The result of noise canceling is shown in figure 12. The noise signal is suppressed by 18 dB. The result of signal suppressed P_{raz} is shown figure 13. When the interrupted signal has the harmonic form, better suppression is obtained. The comparison between the simulation results for both the mathematical model of the system and the FPGA implementation show the difference of less than 2%.

1. Uvod

Digitalna obdelava signalov je dinamično in hitro razvijajoče področje, ki se uporablja pri razpoznavanju, analizi in sintezi signalov, pri prenosu in komprimiranju signalov, v telekomunikacijah, pri komunikaciji med človekom in strojem na najrazličnejših nivojih in še marsikje. Pri tem sta zelo pomembni veji digitalne obdelave signalov digitalno filtriranje in spektralna analiza.

Veliko digitalnega procesiranja signalov opravljajo danes specializirani mikroprocesorji, imenovani digitalni signalni procesorji (DSP), ki so sposobni izvajanja zelo hitrih množenj. Ta tradicionalna metoda signalnega procesiranja je pasovnoširinsko omejena. To pomeni, da je DSP zmogel opraviti končno število posameznih operacij pred prihodom novega vzorčnega otipka. Ta omejitev vpliva na frekvenco signala, s katero deluje aplikacija s signalnim procesorjem. Signalni procesorji izvršijo le en izračun v nekem časovnem

trenutku. V aplikacijah digitalnega procesiranja signalov, kot je na primer izvedba digitalnega sita z izračunom korelacije dveh signalov, mora DSP najprej na signalu izvršiti operacijo izračuna nove vrednosti za digitalno sito in šele nato izvede izračun korelacije med dvema otipkoma signala. Proizvajalci signalnih procesorjev rešujejo ta problem z vstavljanjem dodatnih procesorjev v isti čip. To pomaga, vendar le v primerih kadar ima procesor dovolj čakalnih stanj v aplikaciji digitalnega procesiranja signalov.

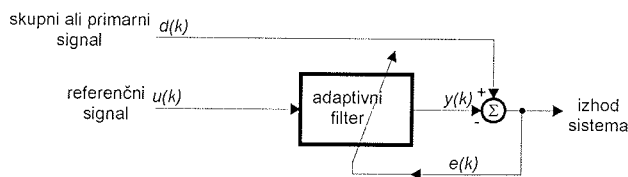
Signalno procesiranje s programiranimi vezji temelji na strojni (hardware) opremi logičnih vezjih in izvaja računske operacije drugače kot signalni procesor (DSP). Pri izvajanju računskih operacij s FPGA vezji je potrebno uporabiti drugačne algoritme. Ko so algoritmi enkrat realizirani v FPGA vezju, dopuščajo enako izvajanje aplikacij za sita s 128 koeficienti kot za sita s 16 koeficienti. Izvrševanje aplikacij, kot je izvedba digitalnih sit in korelacija dveh signalov, lahko poteka sočasno. Večina računskih aplikacij, izvedena s FPGA vezji, deluje večino časa z zelo majhnim številom čakalnih stanj. Pri realizaciji računskih operacij s FPGA vezji je možno vsa čakalna stanja predvideti vnaprej. Običajno gre za zakasnitve ene do dveh period osnovne ure FPGA vezja, ki znaša med 200 do 300MHz. Tudi njihova cena je primerljiva s signalnimi procesorji. V področju digitalnega procesiranja signalov precej procesov temelji na adaptivnih digitalnih FIR sitih. Adaptivno digitalno sito je sestavljeno iz običajnega digitalnega sita, kateremu je dodano vezje za izračun koeficientov. Za dovolj preprosto aparaturno izvedbo se uporablja LMS algoritem. Pri izvedbi FIR digitalnih sitih, kjer so bili koeficienti sita ves čas procesa nespremenjeni smo uporabljali porazdeljeno aritmetiko, ki je temeljila na ROM strukturi /1/. Delne vsote koeficientov pri takšni izvedbi digitalnega sita smo izračunali vnaprej in jih vpisali v ROM strukturo. Pri adaptivnih sitih se koeficienti spremenijo pri vsakem otipku vhodnega signala, zato je potrebno delne vsote izračunavati sproti /2, 3/. Izračun še vedno temelji na postopku porazdeljene aritmetike /4/. V prispevku bo prikazan način izračuna izhodne vrednosti digitalnega sita s sprotim izračunom delnih vsot in izračunavanje koeficientov adaptivnega digitalnega sita s produktom dveh vektorjev.

2. Uporaba adaptivnih digitalnih sit za nevtralizacijo interferenčnih signalov

Adaptivna digitalna sita se uspešno uporabljajo na raznolikih področjih: v komunikacijski tehniki, v radarski in sonarni tehniki, v seizmologiji in biomedicinski tehniki. Čeprav gre za različna področja, imajo vsa eno skupno lastnost, da se vhodni vektor in želeni odziv izračunata na osnovi ocenitve pogreška, na osnovi katere se postavljajo ustrezne vrednosti nastavljenih koeficientov. Adaptivna sita uporabljamo v štirih osnovnih aplikacijah: v identifikaciji, v inverznem modeliranju, v predikciji in pri nevtralizaciji interferenc.

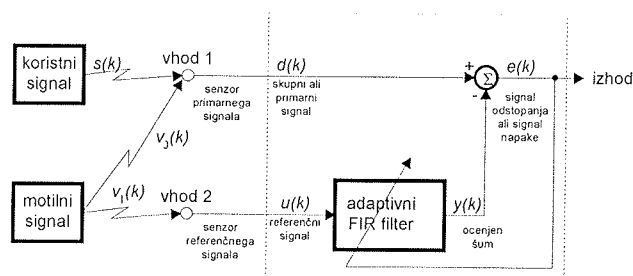
Nevtralizacija interferenc je postopek pri katerem adaptivno sito uporabljamo za odpravljanje neznanih interferenc, ki

so superponirane na koristen signal /5, 6/. Želeni odziv adaptivnega digitalnega sita $y(k)$ mora biti enak primarnemu ali skupnemu signalu $d(k)$. Referenčni signal $u(k)$ nosi informacijo o motilnem signalu. Blokovno shemo sistema za odpravljanje interferenc prikazuje slika 1.



Slika 1: Adaptivno sito v aplikaciji odstranjevanja interferenc prisotnih v skupnem signalu

Na sliki 2 je prikazan primer uporabe adaptivnega sita za odpravo motilnega signala ali šuma iz skupnega signala $d(k)$. Opisani sistem za odpravo motilnega signala iz primarnega potrebuje dva senzorja za sprejem zvočnih signalov in zaprto zanko adaptivnega sita.



Slika 2: Primer uporabe adaptivnega sita pri odpravi motilnega signala

Senzor primarnega signala $d(k)$ sprejema informacijo o koristnem signalu, na katerega je superponirana komponenta motilnega signala $v_0(k)$. Senzor referenčnega signala zajema motilni signal $v_1(k)$, ki predstavlja referenčni signal $u(k)$ sistema za odpravo motilnega signala. Na izhodu iz sistema za odpravo motilnega signala dobimo signal odstopanja $e(k)$, ki predstavlja približek koristnemu signalu z nevtraliziranim motilnim signalom. Koristen signal $s(k)$ bistveno ne vpliva na odpravo šuma. Izkaže se, da je minimalno srednje kvadratično odstopanje signala napake $e(k)$, enako minimalnemu srednje kvadratičnemu odstopanju $y(k)-v_0(k)$ /5/. Enačbo primarnega signala $d(k)$ opisuje enačba (1).

$$d(k) = s(k) + v_0(k) \quad (1)$$

Pri tem je $s(k)$ koristen signal, signal $v_0(k)$ predstavlja komponento motilnega signala. Koristen signal $s(k)$ in komponenta motilnega signala $v_0(k)$ sta med sabo nekorelirana. Če sta signala nekorelirana, za vsak njun otipek velja,

$$E[s(k)v_0(k-n)] = 0 \quad n = 0,1,2,\dots \quad (2)$$

V enačbi (2) je E operator matematičnega upanja. Senzor referenčnega signala sprejema motilni signal $v_1(k)$, ki je nekoreliran s koristnim signalom $s(k)$. Hkrati je motilni sig-

nal $v_1(k)$ koreliran s komponento motilnega signala $v_0(k)$, ki je superponirana v koristnem signalu $s(k)$. Lastnosti med koristnim signalom $s(k)$ in obema komponentama motilnih signalov lahko predstavimo z enačbama (3) in (4).

$$E[s(k)v_1(k-n)] = 0 \quad n = 0,1,2,\dots \quad (3)$$

$$E[v_0(k)v_1(k-n)] = p(k) \quad n = 0,1,2,\dots \quad (4)$$

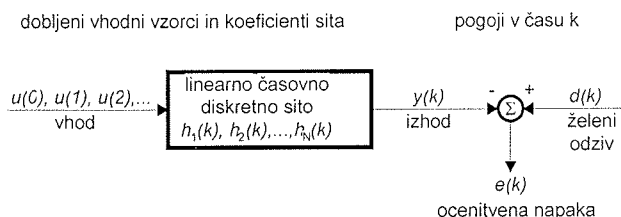
V enačbi (4) je $p(k)$ povprečna vrednost križno korelacijskega vektorja za otipek k . Lahko rečemo, da enačba (4) opisuje linearno razmerje med obema signaloma šuma. V realnem okolju z dvema različno postavljenima mikrofonom ni možno zagotoviti dveh povsem identičnih motilnih signalov. Vedno bo med motilnima signaloma $v_0(k)$ in $v_1(k)$ prisotna neka zveza, ki jo podaja enačba (4). Naloga adaptivnega sita je prilagoditev koeficientov tako, da adaptivni sitem ugame časovni potek motilnega signala $v_0(k)$ le na osnovi znane informacije o referenčnem signalu $v_1(k)$. Prilagoditev koeficientov adaptivnega digitalnega sita poteka po algoritmu za oceno odstopanja.

3. Izbira adaptivnega algoritma za oceno odstopanja

Adaptivni algoritem je zgrajen nad izbrano strukturo sita in skrbi za optimalno nastavljanje parametrov sita glede na izbran kriterij. Vprašanje je le, kateri je "pravi" kriterij. Pri digitalnem prenosu podatkov, je pravo merilo gostota napak pri prenosu, vendar si z njo zaradi matematičnih in praktičnih težav ne moremo veliko pomagati. Potrebno je, da obstaja dovolj enostavna povezava med kriterijem in parametri sita. Zaradi matematične enostavnosti se kot kriterij pogosto uporablja najmanjše srednje kvadratično odstopanje - LMS kriterij. Uporaba tega kriterija pomeni minimizacijo moči prisotnega šuma v izhodnem signalu. Izbran kriterij mora zadostiti primerni aparaturni kompleksnosti, izračun koeficientov z njim se mora izvršiti v času ene periode vzorčenja vhodnega signala in čas adaptacije adaptivnega sita mora biti dovolj kratek.

3.1 Wienerjevo sito - optimalno linearno filtriranje

Osnovni postopek iskanja optimalno nastavljenih parametrov sita na osnovi kriterija minimalne srednje kvadratične napake temelji na optimalnem linearno časovno diskretnem situ, ki je poznano kot Wienerjevo sito /5/. Slika 3 prikazuje linearno diskretno sito, ki ima možnost prilagajanja svojih koeficientov tako, da je ocenjena napaka $e(k)$ najmanjša.



Slika 3: Blokovni diagram rešitve statistične določitve koeficientov optimalnega sita

Vektor koeficientov $\mathbf{h}(k)$, ki bodo zagotovili najmanjšo ocenjeno odstopanje, dobimo za Wienerjevo sito na osnovi statistične obdelave vhodnega signala (referenčnega signala) $u(k)$ in zelenega signala $d(k)$. Sito s svojimi koeficienti predstavlja linearno časovno diskretno sito. Njegov odziv na vhodni signal $u(k)$ opisuje konvolucijska enačba (5).

$$y(k) = \sum_{n=0}^{\infty} h_0(k) u(k+1-n) \quad k = 0,1,2,\dots \quad (5)$$

V enačbi (5) je $\mathbf{h}_0(k)$ vektor optimalnih vrednosti koeficientov k -tega otipka, ki ga določa produkt avtokorelacijskega vektorja \mathbf{R} s produktom križnokorelacijskega vektorja \mathbf{p} . Izračun vektorja optimalnih vrednosti koeficientov $\mathbf{h}_0(k)=[h_1(k) \ h_2(k) \dots \ h_N(k)]$ opisuje enačba (6),

$$\mathbf{h}_0 = \mathbf{R}^{-1}\mathbf{p} \quad (6)$$

Vrednost avtokorelacijskega vektorja \mathbf{R} določimo iz vzorcev vhodnega signala po enačbi (7),

$$\mathbf{R} = E[u(k)u^T(k)] \quad (7)$$

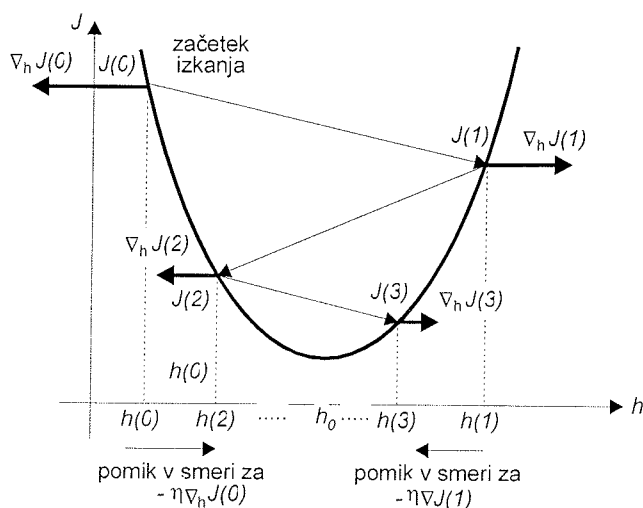
Vrednost križnokorelacijskega vektorja \mathbf{p} določimo s statistično analizo odstopanja vzorcev $e(k)$ med vhodnim signalom $u(k)$ in zelenim odzivom $d(k)$. Izračun križnokorelacijskega vektorja \mathbf{p} podaja enačba (8),

$$\mathbf{p} = E[u(k)d(k)] \quad (8)$$

Pri tem je križnokorelacijski vektor \mathbf{p} za dan primer izbran tako da, je končno odstopanje med primarnim signalom in izhodnim signalom najmanjše. Metoda iskanja optimalnih koeficientov Wienerjevega sita da točne vrednosti koeficientov sita, žal je za sita višjih stopenj potrebnega precej računanja, ki ga je v realnem času z aparaturno opremo težko izvesti. Ena izmed poti za iskanje optimalnih koeficientov je metoda, ki je poznana v literaturi /5/ kot algoritem strmega spusta (Steepest-Descent Algorithm)

3.2 Algoritem strmega spusta

Algoritem strmega spusta je zaradi svoje računske enostavnosti zelo primeren za izvedbo adaptivnih digitalnih sit. Slika 4 prikazuje iskanje optimalnega koeficienta h_0 za enodimenzionalni primer.



Slika 4: Iskanje optimalnega koeficienta $h=h_0$ z metodo strmega spusta

Na krivulji srednjega kvadratičnega odstopanja J poiščemo optimalne koeficiente z metodo strmega spusta vzdolž krivulje. Funkcija gradienta J kaže vedno v smeri največje spremembe srednjega kvadratičnega odstopanja J . Funkcija gradienta J se sestoji iz dveh komponent: komponente v smeri koeficienta sita h in komponenta v smeri srednjega kvadratnega odstopanja J . Izračun novega koeficienta poteka po enačbi (9),

$$h(k+1) = h(k) - \eta \nabla_h [J(k)] \quad (9)$$

V enačbi (9) je $\nabla_h [J(k)]$ komponenta gradienta vektorja srednjega kvadratnega odstopanja J v smeri koeficienta h . Adaptivna konstanta η je pozitivno realno število in določa hitrost strmega spusta. Za aparaturno izvedbo izračuna koeficienta je potrebno izračun gradienta vektorja srednjega kvadratnega odstopanja $\nabla_h (J(k))$ nadomestiti s primernejšo matematično operacijo. Z zamenjavo trenutne vrednosti gradienta z izrazom, ki ga opisuje izraz (10) dobimo veliko primernejši postopek za iskanje optimalnega koeficienta po algoritmu strmega spusta.

$$\nabla_h (J(k)) \approx \frac{1}{2} \frac{\partial}{\partial h} (e^2(k)) = -e(k)u(k) \quad (10)$$

Trenutni približek gradienta je produkt med vhodnim signalom $u(k)$ in odstopanjem $e(k)$. Ta vrednost gradienta je ocenjena na osnovi algoritma najmanjših srednjih kvadratov (LMS). Pri ocenitvi je prisotno neko odstopanje od optimalne vrednosti koeficienta, saj ocenitev temelji na odstopanju $e(k)$. Prisotnost odstopanja $e(k)$ nas ne moti, ker je proces adaptiven in že v naslednjem koraku zmanjša prisotno odstopanje $e(k)$. Izračun novega koeficienta poteka sedaj, z upoštevanjem enačbe (10), po enačbi (11),

$$h(k+1) = h(k) + \eta e(k)u(k) \quad (11)$$

Za aparaturno izvedbo LMS algoritma imamo več možnosti. Izbira ustreznega algoritma za aparaturno izvedbo je kompromis med točnostjo izračuna koeficientov sita, potreb-

nim časom izračuna in aparaturno kompleksnostjo. Ločimo tri načine izračuna novih koeficientov: izračun s funkcijo sign , izračun z nespremenljivo adaptivno konstanto η in izračun s spremenljivo adaptivno konstanto.

3.2.1 Izračun s predznačeno funkcijo (sign)

Pri tej vrsti algoritma je potrebno določiti le predznak predhodnih vrednosti vhodnega signala $\mathbf{r}(k)$ ali predznak odstopanja med izhodno vrednostjo in primarnim signalom $e(k)$. Izračun vektorja koeficientov podajata enačbi (12) in (13).

$$\mathbf{h}(k) = \mathbf{h}(k-1) + \eta e(k) \text{sign}(\mathbf{r}(k)) \quad (12)$$

$$\mathbf{h}(k) = \mathbf{h}(k-1) + \eta \mathbf{r}(k) \text{sign}(e(k)) \quad (13)$$

V enačbi (12) in (13) predstavlja izraz $\mathbf{h}(k)$ N dimenzionalen vektor koeficientov digitalnega sita, $\mathbf{r}(k)$ predstavlja N dimenzionalen vektor predhodnih vrednosti vhodnega signala $u(k)$, pri tem je N število koeficientov adaptivnega digitalnega sita. Izračun vektorja $\mathbf{r}(k)$ iz vrednosti vhodnega signala $u(k)$ podaja enačba (14),

$$\mathbf{r}_n(k) = \mathbf{r}(k) = u(k-n) \quad n = 1, 2, \dots, N. \quad (14)$$

Izračun koeficientov po enačbah (12) in (13) aparaturno ni zahteven. Produkt adaptivne konstante η z odstopanjem $e(k)$ oziroma z vektorjem predhodnih vrednosti vhodnega signala $\mathbf{r}(k)$ je izveden s preprosto premaknitvijo vodil. Adaptivna konstanta η je ves čas nespremenljivo število vrednosti 2^i pri tem je $i=0, 1, \dots$

3.2.2 Izračun z nespremenljivo adaptivno konstanto η

Pri tej metodi poteka izračun novega vektorja koeficientov $\mathbf{h}(k)$ pri vnaprej izbrani adaptivni konstanti η in ocenjenem gradientu srednjega kvadratnega odstopanja $\nabla_h (J(k))$. Za N koeficientov sita zapišemo na osnovi enačbe (11), ki podaja izračun le za en koeficient, izraz za N dimenzionalen vektor koeficientov $\mathbf{h}(k)$ z enačbo (15),

$$\mathbf{h}(k) = \mathbf{h}(k-1) + \eta \mathbf{r}(k)e(k) \quad (15)$$

Na enačbi (15) temelji tudi naša aparaturna izvedba adaptivnega FIR sita s FPGA programirnimi vezji. Za izračun N -tih koeficientov potrebujemo za sito N -te stopnje N množilnikov in N seštevalnikov. Adaptivna konstanta je določena z energijo referenčnega signala $u(k)$. Njeno območje podaja enačba (16),

$$0 < \eta < \frac{1}{\lambda_{\max}} \quad (16)$$

V enačbi (16) je λ_{\max} največja vrednost v korelacijski matriki \mathbf{R} , ki jo podaja izraz (7). Adaptivna konstanta vpliva na hitrost in velikost odprave srednjega kvadratnega odstopanja. Večja kot je adaptivna konstanta η , hitreje se bo izračunani vektor koeficientov $\mathbf{h}(k)$ približeval optimalnim koeficientom $\mathbf{h}_0(k)$. Pri preveliki adaptivni konstanti obstaja verjetnost,

da z algoritmom strmega sestopa ne dosežemo optimalnih koeficientov sita, kar se odraža na preveliki vrednosti srednjega kvadratnega odstopanja J . Algoritem, ki te pomanjkljivosti odpravlja, spreminja v vsakem koraku adaptacije tudi konstanto η .

3.2.3 Izračun s spremenljivo adaptivno konstanto

Pri uporabi adaptivnega sita v okolju, kjer imajo motilni signali spreminjajočo dinamiko, je potrebno adaptivno konstanto η izbrati tako majhno, da je tudi za najneugodnejši primer še izpolnjen pogoj, ki ga opisuje enačba (16). Izbira majhne adaptivne konstante poveča čas adaptacije. Pomanjkljivosti odpravi algoritem, kjer se adaptivna konstanta η prilagaja lastnostim vhodnega referenčnega signala $u(k)$. Algoritem se imenuje normalni LMS algoritem. Pri tem postopku poteka izračun koeficientov sita po enačbi (17).

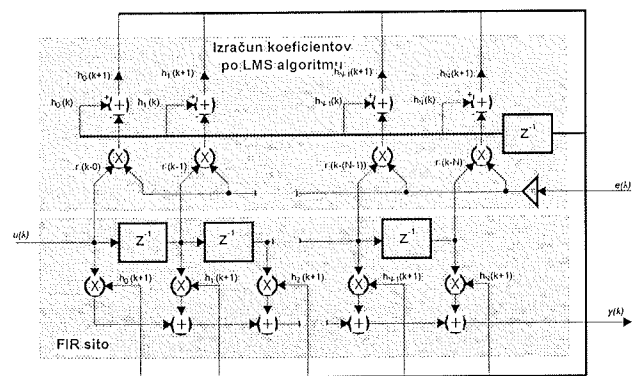
$$\mathbf{h}(k) = \mathbf{h}(k-1) + \frac{\mu}{\alpha + \mathbf{r}^T(k)\mathbf{r}(k)} \mathbf{r}(k)e(k) \quad (17)$$

V enačbi (17) ima konstanta α neko majhno vrednost in je potrebna za zagotavljanje konvergence enačbe pri morebitnih trenutnih vrednosti izračuna produkta $\mathbf{r}^T(k)\mathbf{r}(k)=0$. Konstanta μ določa velikost koraka adaptacije in je neko realno število z vrednostjo: $0 < \mu < 2$. Zvezo med adaptivno konstanto η in velikostjo koraka adaptacije μ podaja enačba (18),

$$\eta = \frac{\mu}{\alpha + \mathbf{r}^T(k)\mathbf{r}(k)} \quad (18)$$

4. Izvedba s FPGA vezji

Pri izvedbi adaptivnega sita smo se na osnovi praktičnih izkušen odločili za LMS algoritem z nespremenljivo adaptivno konstanto η . S tem smo dosegli kompromis, med aparatno kompleksnostjo algoritma in hitrostjo adaptacije. Na sliki 5 je prikazano osnovno vezje, na katerem temelji izvedba LMS algoritma in s tem tudi izvedba celotnega adaptivnega FIR sita, realiziranega s Xilinxovimi FPGA vezji [7].



Slika 5: Osnovno vezje adaptivnega FIR sita z vezjem za izračunom koeficientov po LMS

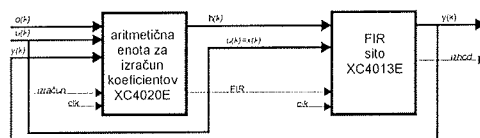
Iz slike 5 je razvidno, da za realizacijo adaptivnega digitalnega sita z N koeficienti potrebujemo: FIR digitalno sito z N koeficienti, kateremu bo možno spreminjati koeficiente za vsako periodo vzorčenja vhodnega signala in vezje za izračun koeficientov. Za izvedbo izračuna vektorja koeficientov $\mathbf{h}(k)$ dimenzije N po LMS algoritmu potrebujemo: N množilnikov N seštevalnikov, množilnik z adaptivno konstanto h in zadrževalnik vektorja predhodnih koeficientov $\mathbf{h}(k-1)$.

Izračun izhodne vrednosti v strukturi adaptivnega FIR sita, prikazanega na sliki 5, poteka po konvolucijski enačbi (19),

$$y(k) = \sum_{n=0}^{N-1} \mathbf{h}(k)u(k+1-n) \quad (19)$$

Izračun vektorja koeficientov $\mathbf{h}(k)$ poteka po enačbi (15). Enačbi (15) in (19) sta osnovna izraza, po katerih poteka izračun izhodne vrednosti $y(k)$ in vektorja koeficientov sita $\mathbf{h}(k)$.

Adaptivno digitalno sito 15. stopnje smo izvedli v dveh FPGA vezjih firme Xilinx. V FPGA vezju XC4020E je realizirana aritmetična logična enota, ki opravlja izračunavanje koeficientov digitalnega sita. Izvedba množilnikov v aritmetično logični enoti temelji na porazdeljeni aritmetiki. V vezju XC4013E je realizirano nerekurzivno digitalno sito v strukturi v porazdeljene aritmetike. Povezavo obeh vezij s povezovalnimi linijami prikazuje slika 6.

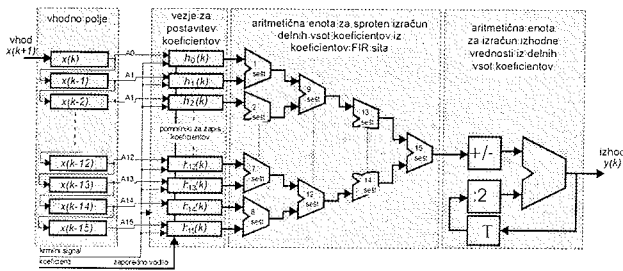


Slika 6: Povezava dveh vezij adaptivnega digitalnega sita s povezovalnimi linijami

Zaradi pretoka podatkov med obema vezjema sta vezji med sabo sinhronizirani. Za sinhronizacijo skrbi povezovalna linija FIR. Pretok podatkov vektorja koeficientov $\mathbf{h}(k)$ iz vezja za izračun koeficientov v vezje FIR sita je zaporeden. Zaporeden prenos koeficientov poenostavi aparatno izvedbo adaptivnega sita.

4.1 Izvedba FIR sita

Pri izvedbi nerekurzivnega digitalnega sita smo se odločili za strukturo v porazdeljeni aritmetiki s sprotnim izračunom delnih vsot koeficientov iz koeficientov digitalnega sita. Strukture z vnaprejšnjim izračunom delnih vsot koeficientov niso primerne za adaptivne rešitve. Blokovno shemo digitalnega nerekurzivnega sita v porazdeljeni aritmetiki s sprotnim izračunom delnih vsot koeficientov prikazuje slika 7.



Slika 7: FIR sito v porazdeljeni aritmetiki razdeljeno na N podstruktur s sprotnim izračunom delnih vsot koeficientov

Vezje digitalnega sita sestavljajo: vhodno polje za hranjenje predhodnih vektorjev vhodnega signala, vezje za sprejem zaporednih vrednosti koeficientov in njihovo pretvorbo v vzporedno obliko, aritmetika za sprotni izračun koeficientov in aritmetična logična enota za izračunavanje izhodne vrednosti digitalnega sita $y(k)$ iz delnih vsot koeficientov v_i . Aritmetična enota za sprotni izračun koeficientov je najkompleksnejši del vezja digitalnega nerekurzivnega sita. Zasedenost upodobljenega vezja na sliki 7 v programirnem vezja XC4013E podaja tabela 1.

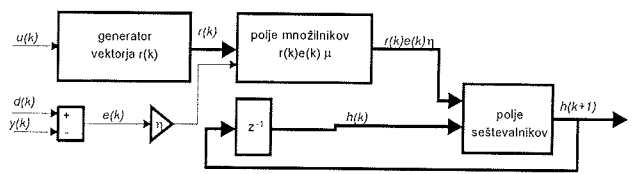
Tabela 1: Zasedenost programirnega vezja XC4013E digitalnega sita

vrsta elementa	število zasedenih elementov
40% utilization of I/O pins	52 of 129
80% utilization of CLB FG function generators	926 of 1152
3% utilization of CLB H function generators	20 of 576
90% utilization of CLB flip-flops.	1036 of 1152

V tabeli 1 podana zasedenost vezja kaže na kompleksnost izvedbe FIR sita 15. stopnje v porazdeljeni aritmetiki s sprotnim izračunom koeficientov. Zasedenost programirnega vezja zaradi aritmetike za sprotni izračun koeficientov narašča s kvadratom koeficientov. Zasedenost je približno reda 2^N , kjer je N število koeficientov digitalnega sita.

4.2 Izvedba vezja za izračunavanje adaptivnih koeficientov

FPGA vezja imajo omejeno možnost izvedbe običajnih matematičnih operacij zato je bilo potrebno poiskati takšne rešitve pri izvedbi vezja za izračunavanje koeficientov, da bo možna implementacija tudi v programirna FPGA vezja. Pri izvedbi vezja smo za zmanjšanje aparturne kompleksnosti uporabili zaporedno logiko za izvajanje aritmetično logičnih operacij. Uporaba zaporedne logike je močno zmanjšala potrebno število konfiguracijskih logičnih blokov, kakor tudi potrebne povezave med njimi. Pri tem se skupni čas izračuna koeficientov bistveno ne spremeni. Slika 8 prikazuje blokovno shemo vezja za izračun koeficientov. Vezje opravlja izračun koeficientov po enačbi (15).



Slika 8: Blokovna shema vezja za izračunavanje adaptivnih koeficientov z nespremenljivo adaptivno konstanto η

Vezje za izračunavanje adaptivnih koeficientov sestavljajo: generator vektorja $r(k)$, ki hrani predhodne vrednosti signala $u(k)$, polje množilnikov, ki opravlja produkt vektorja predhodnih vrednosti vhodnega signala $r(k)$ z vektorjem koeficientov $h(k)$, polje seštevalnikov, ki opravlja seštevanje dveh vektorjev in vezje za hranjenje predhodne vrednosti vektorja koeficientov $h(k)$. Na sliki 8 so z debelejšimi linijami označena vodila za prenos vektorjev. Zasedenost programirnega vezja za izračun koeficientov digitalnega sita podaja tabela 2.

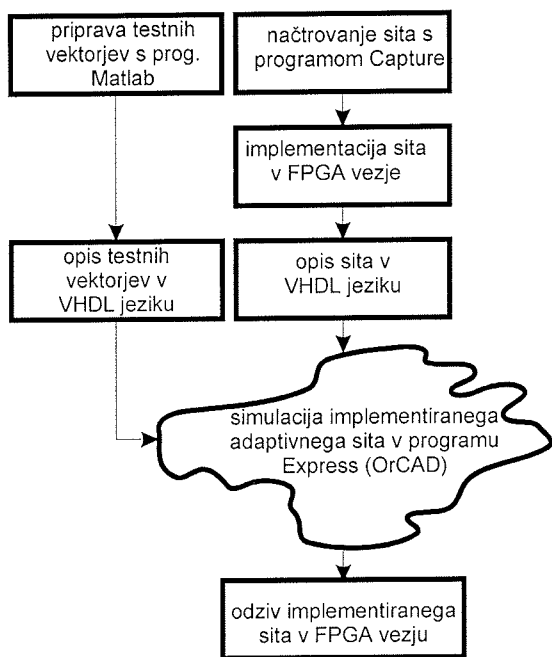
Tabela 2: Zasedenost programirnega vezja XC4020E za izračun koeficientov

vrsta elementa	število zasedenih elementov
83% utilization of I/O pins	132 of 160
80% utilization of CLB FG function generators	1250 of 1568
1% utilization of CLB H function generators	5 of 784
63% utilization of CLB flip-flops.	995 of 1568

V tabeli 2 podana zasedenost vezja kaže na kompleksnost izvedbe vezja za izračunavanje adaptivnih koeficientov za digitalno sito 15. stopnje. Zasedenost programirnega vezja, zaradi uporabe zaporedne logike za izvajanje aritmetično logičnih operacij, narašča linearno s številom koeficientov adaptivnega digitalnega sita.

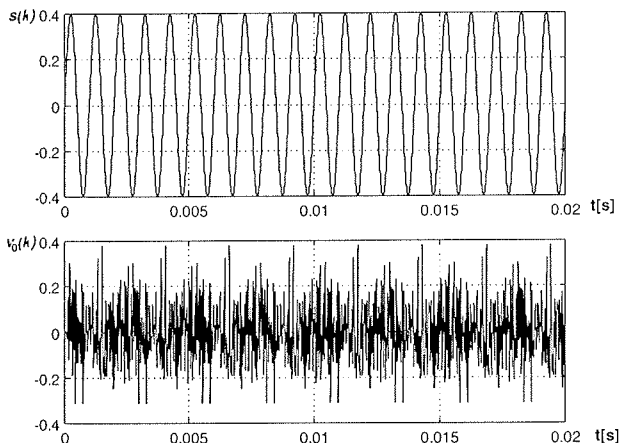
5. Rezultati

V tem poglavju so prikazani rezultati adaptivnega digitalnega sita izvedenega v dveh programirnih vezjih družine Xilinx. Digitalno sito je 15. stopnje z nespremenljivo adaptivno konstanto $\eta=2^{-5}$. Posamezne odzive smo dobili s simulacijo strukture adaptivnega digitalnega sita s programom Express /9/, ki je sestavni del programskega paketa OrCad. Simulacije posameznih vezij so bile opravljene na modelu implementiranega vezja adaptivnega digitalnega sita v FPGA strukturi. Pri simulaciji so upoštevane vse fizične postavitve posameznih konfiguracijskih logičnih blokov v FPGA vezju, kakor tudi povezave med njimi. Številne izvedbe različnih aplikacij s FPGA vezji kažejo na dobro uje-manje dobljenih rezultatov simulacije s praktično izvedbo posameznih aplikacij v FPGA strukturi /1/. Na sliki 9 je prikazan diagram poteka izračuna dobljenih rezultatov adaptivnega digitalnega sita.



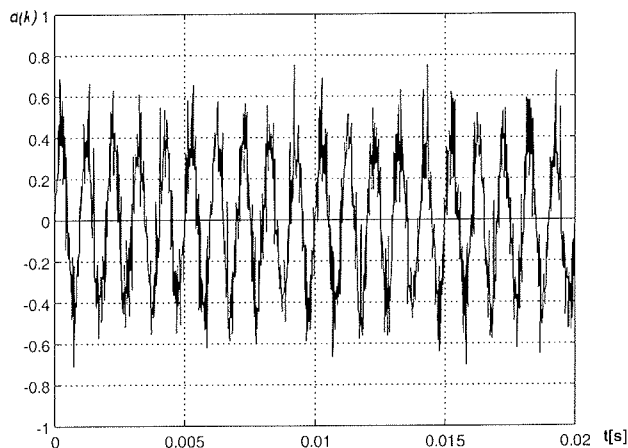
Slika 9: Diagram poteka izračuna rezultatov adaptivnega digitalna sita

S programom Capture /8/, ki je sestavni del programskega paketa OrCAD smo načrtali celotno adaptivno digitalno sito. S programom XACT smo izvedli implementacijo adaptivnega sita v dve programirni FPGA vezji. S programom Matlab smo opisali vhodne testne vektorje v VHDL jeziku /10/. Analiza rezultatov je bila opravljena s programom Matlab. Z njim smo opravili analizo časovnega poteka izhodnega signala $e(k)$, analizo izboljšanja razmerja S/N in analizo dobljenih koeficientov adaptivnega digitalnega sita. Z adaptivnim sitom smo napravili aplikacijo za odpravo motilnega signala iz skupnega signala, ki jo prikazuje slika 2. Koristnemu harmoničnemu signalu $s(k)$ amplitude $U_{max}=0.4$ in frekvence $f=1\text{kHz}$, smo dodali motilni signal $v_0(k)$, ki ga je predstavljal pasovno omejen beli šum. Časovni potek obeh signalov prikazuje slika 10.



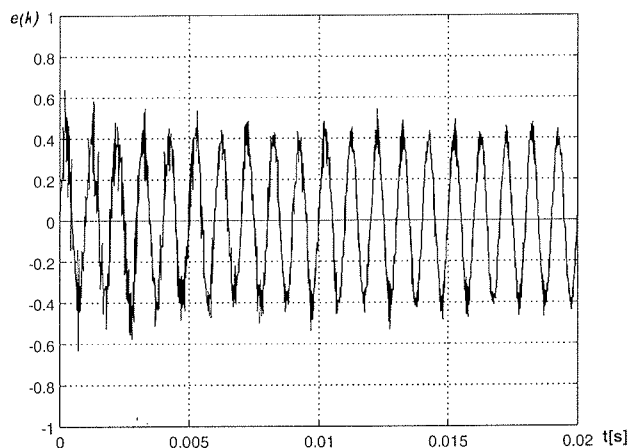
Slika 10: Časovni potek koristnega signala $s(k)$ in šuma $v_0(k)$

Za kasnejšo primerjavo rezultatov še na sliki 11 podajamo časovni potek primarnega signala, ki je vsota koristnega signala $s(k)$ in šuma $v_0(k)$ prisotnega na primarnem senzorju.



Slika 11: Časovni potek skupnega ali primarnega signala $d(k)$ v katerem je prisotna komponenta motilnega signala

Dodani šum $v_0(k)$ je v obliki frekvenčno omejenega belega šuma z 256 različnimi vzorci v eni periodi. Naloga adaptivnega sita v aplikaciji izločanja interferenc je ocenitev komponente šuma $v_0(k)$ le na osnovi časovnega poteka referenčnega šuma $v_1(k)$. Rezultate uspešne odprave motilnega signala prikazuje slika 12.



Slika 12: Časovni potek izhodnega signala $e(k)$

Na izhodu iz adaptivnega sita se pojavi ocenjena oblika motilnega signala $y(k)$, razlika med primarnim signalom $s(k)$ in ocenjenim motilnim signalom $y(k)$ je izhodni signal $e(k)$, ki ima izboljšano razmerje S/N. S primerjavo časovnega poteka primarnega signala $d(k)$ s slike 11 in časovnega poteka izhodnega signala $e(k)$ s slike 12 je možno oceniti izboljšanje razmerja S/N. Za točnejšo analizo izboljšanja razmerja S/N smo izračunali razmerje moči S/N vhodnega signala $d(k)$ po enačbi (20) in razmerje moči S/N izhodnega koristnega signala $e(k)$ po enačbi (21) za vsak otipek posebej.

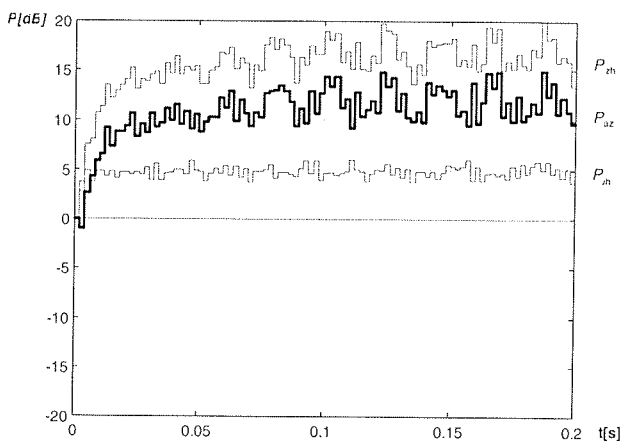
$$P_{vh}(k)[dB] = 10 \log \left(\frac{s(k)^2}{u(k)^2 + \alpha} \right) \quad (20)$$

$$P_{izh}(k)[dB] = 10 \log \left(\frac{s(k)^2}{(e(k) - s(k))^2 + \alpha} \right) \quad (21)$$

Izračun izboljšanja razmerja S/N med vhom skupnim signalom $d(k)$ in izhodnim signalom $e(k)$ določa enačba (22),

$$P_{raz}(k) = \frac{P_{izh}(k)}{P_{vh}(k)} \quad (22)$$

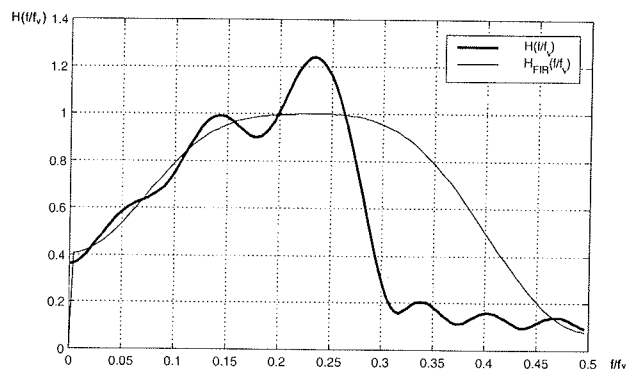
Pri prikazu rezultatov razmerja S/N smo se odločili za povprečno vrednost 200-tih otipkov. Slika 13 prikazuje razmerje moči S/N vhodnega signala P_{vh} , izhodnega signala P_{izh} in izboljšanje razmerja S/N P_{raz} .



Slika 13: Časovni poteki razmerja moči S/N vhodnega signala P_{vh} , izhodnega signala P_{izh} in izboljšanje razmerja S/N P_{raz}

Iz slike 13 vidimo, da je potek razmerja moči S/N vhodnega signala P_{vh} ves čas konstanten, potek razmerja moči S/N izhodnega signala P_{izh} doseže svojo maksimalno vrednost po 50ms. To je čas adaptacije, ki je potreben adaptivnemu digitalnemu situ, da oceni šum $v_0(k)$ na osnovi referenčnega šuma $v_1(k)$, ki ga sprejema senzor referenčnega signala.

Različnost sprejema šumnih signalov na obeh mikrofoni smo simulirali z uporabo dodatnega pasovno prepustnega FIR sita. Njegovo prenosno karakteristiko $H_{FIR}(f/f_v)$ prikazuje slika 14.



Slika 14: Prenosna karakteristika FIR digitalnega sita za simulacijo razmer različnega sprejema šumnih signalov na dveh mikrofoni $H_{FIR}(f/f_v)$ in prenosna karakteristika adaptivnega digitalnega sita $H(f/f_v)$ po opravljeni adaptaciji koeficientov

Na sliki 14 vidimo tudi prenosno karakteristiko adaptivnega digitalnega sita $H(f/f_v)$, ki je izračunana iz povprečnih vrednosti vektorja koeficientov $\mathbf{h}(k)$, po opravljeni prilagoditvi le teh na minimalno srednje kvadratično odstopanje. Izračunana prenosna karakteristika adaptivnega digitalnega sita $H(f/f_v)$ se v spodnjem delu frekvenčnega spektra dobro ujema s prenosno karakteristiko digitalnega sita $H_{FIR}(f/f_v)$, v zgornjem delu frekvenčnega spektra pa med njima ni več ujemanja. To je posledica frekvenčno omejenega belega šuma, s katerim smo testirali uspešnost izločanja šuma $v_0(k)$ iz skupnega signala $d(k)$.

6. Zaključek

V prispevku smo opisali možnost izvedbe adaptivnega nerekurzivnega digitalnega sita s programirnimi logičnimi (FPGA) vezji v strukturi porazdeljene aritmetike. S programskim paketom OrCad Express smo načrtali celotno adaptivno digitalno strukturo, s programskim paketom XACT smo opravili njegovo implementacijo v dve programirni vezji firme Xilinx. Za adaptivno FIR digitalno sito 15. stopnje, s 16-bitno dolžino registrov za zapis vhodnega in izhodnega signala in pri 16 do 24-bitno aritmetično logični enoti smo uporabili vezji XC4013E in XC4020E. Za izvedbo strukture porazdeljene aritmetike smo uporabili postopek sprotnega izračuna delnih vsot koeficientov. Struktura z vnaprejšnjim izračunom delnih vsot koeficientov, ki temelji ROM polju, pri adaptivnih sitih ni primerna. Pri izvedbi vezja digitalnega FIR sita je logična struktura za sprotni izračun koeficientov najkompleksnejši del vezja. Prikazana struktura omogoča dovolj hiter izračun delnih vsot in vpis koeficientov sita, žal pa aparaturna kompleksnost narašča z N^2 , pri čemer je N število koeficientov digitalnega sita.

Aritmetična enota za izračunavanje adaptivnih koeficientov zmora izračunati nove koeficiente vsakih 10 ms in jih posredovati v strukturo digitalnega sita. Pri izvedbi aritmetično logične enote za izračun koeficientov smo uporabili zaporedno logiko za izvajanje aritmetično logičnih operacij.

Z zaporedno logiko smo zelo poenostavili aparaturno izvedbo. Kompleksnost aparaturne izvedbe narašča linearno s številom koeficientov sita.

Pri osnovnih urinih impulzih sistema s frekvenco 20MHz, smo dosegli frekvenco vzorčenja vhodnega signala 100kHz. Za verifikacijo delovanja smo adaptivno sito in vhodne signale opisali v VHDL jeziku. Opis vezja v VHDL jeziku je upošteval dejansko postavitev posameznih konfiguracijskih blokov v FPGA vezju kakor tudi povezave med njimi. Izdelano adaptivno sito je bilo namenjeno izločanju šuma iz koristnega signala. Za testiranje adaptivnega sita smo uporabili koristni harmonični signal s frekvenco 1 kHz na katerega je bil superponiran pasovno omejen beli šum. Razmerje signal šum smo uspeli v povprečju povečati za 18 dB. Rezultati izločanja motilnega signala iz skupnega vhodnega signala so prikazani v časovnem in frekvenčnem prostoru.

7. Literatura

- /1/ Osebik, B. Kostanjevec, B. Jarc, M. Solar, R. Babič, Izvedba nerekurzivnega digitalnega sita s programirljivim poljem logičnih vezij v strukturi porazdeljene aritmetike. Inf. MIDEM, 1997, 27, str. 195-202,
- /2/ C. F. N. Cowan, J. Mavor, New digital adaptive-filter implementation using distributed-arithmetic techniques, IEE Proceedings, Communications, radar and signal processing, Vol. 128, No. 4, August 1981
- /3/ Osebik, R. Babič, Izvedba FIR digitalnega sita v porazdeljeni aritmetiki z adaptivno strukturo. Zbornik osme Elektrotehniške in računalniške konference ERK str. 59-62. '99, september 1999, Portorož,
- /4/ Stanley A. White, "Applications of Distributed Arithmetic to Digital Signal Processing: A Tutorial Review", IEEE ASSP Magazine, pages 4-19, Jul. 1989
- /5/ Simon Haykin, Adaptive Filter Theory, Prentice-Hall, 1991,
- /6/ Che-Ho-Wei, Jyh-Jeng-Lou, Multimemory block structure for implementing a digital adaptive filter using distributed arithmetic, IEE Proceedings, Vol. 133, Pt. G, No. 1, February 1986
- /7/ Xilinx, The Programmable Logic Data Book, San Jose, 1997,
- /8/ OrCAD Capture User's Guide, First edition 30 November 1998, Copyright © 1998 OrCAD, 9300 SW Nimbus Ave. Beaverton, OR 97008 USA
- /9/ OrCAD Express User's Guide, First edition 30 November 1998, Copyright © 1998 OrCAD, 9300 SW Nimbus Ave. Beaverton, OR 97008 USA
- /10/ Andrew Rutshton, VHDL for Logic Synthesis, Second Edition, John Wiley & Sons Ltd, West Sussex PO19 1UD, England,

*doc. dr. Rudolf Babič, tel, (02) 220 7230, E-mail
rudolf.babic@uni-mb.si*
*red. prof. dr. Horvat Bogomir, tel (02) 220 7200, E-mail:
bogo.horvat@uni-mb.si*
*mag. Davorin Osebik, tel, (02) 220 7238, E-mail:
davorin.osebik@uni-mb.si*

*Univerza v Mariboru
Fakulteta za elektrotehniko,
računalništvo in informatiko
Smetanova 17, 2000 Maribor
Tel.:(02) 220 7000, Fax.:(02) 251 1178*

Prispelo (Arrived): 01.08.2001 sprejeto (Accepted): 20.08.2001