

NAČRTOVANJE PREIZKUSLJIVOSTI MEŠANIH ANALOGNO-DIGITALNIH INTEGRIRANIH VEZIJ

Uroš Kač

Institut Jožef Stefan, Ljubljana, Slovenija

Ključne besede: načrtovanje preizkusljivosti, mešana analogno-digitalna vezja, vgrajen samodejni preizkus, oscilacijska metoda

Izvleček: V članku je obravnavana problematika načrtovanja preizkusljivosti mešanih analogno-digitalnih integriranih vezij. Predstavljeni so osnovni principi načrtovanja preizkusljivosti, ki jih je možno vgraditi v računalniška načrtovalska orodja preko takojimenovanih nadzornikov pravil načrtovanja (ang. design rule checker). Omenjene so metode, ki temeljijo na meritvah parametrov integriranega vezja, kot na primer meritev mirovnega napajalnega toka. Sledi opis tehnik, ki zagotavljajo dostop do globoko vgnezenih podsklopov. Obravnavani sta tudi problematika generiranja in vrednotenja analognih signalov v vezju ter zasnova vgrajenega samodejnega preizkusa. Zadnji del prispevka povzema osnovne značilnosti oscilacijske preizkusne metode.

Design for test of mixed-signal integrated circuits

Key words: design for test, mixed-signal integrated circuits, built-in self-test, oscillation based test

Abstract: The proliferation of consumer electronics increasingly determines the course of development of semiconductor technology. In this context analog and mixed-signal integrated circuits and systems are regaining importance as electronic devices heavily rely on analog signal processing techniques. The semiconductor industry follows market demands by developing increasingly complex application specific integrated circuits and systems. This introduces new challenges in the process of circuit design and results in numerous difficulties in assuring adequate product quality. The latter is becoming a severe problem as the established analog test procedures already represent one of the bottlenecks in the development of complex mixed-signal systems. Consequently, research of new techniques supporting a structured approach to the design of testable analog integrated circuits is increasing steadily. Due to the diversity of analog and mixed-signal designs various solutions are being explored. The main trends are described in the paper.

The problem of circuit testing is tightly related to the circuit design process. The implementation of test structures can be simplified and the quality of the test procedure can be increased by applying design rules and procedures or design for testability (DfT) techniques. Numerous DfT techniques for mixed-signal integrated circuits have been proposed in recent years. Although the basic concepts of various techniques can differ substantially, we can roughly classify them into design of support structures for implementation of external analog measurement methods and the design of structures for the implementation of analog built-in self-test (BIST). The second group of DfT techniques is expected to play a crucial role in future complex integrated circuits and systems as it eliminates some limitations related to the use of conventional automated test equipment and increases product reliability throughout its life cycle.

The oscillation based test method (OBT) described in the last part of the paper belongs to the second group of DfT techniques. The method is based on the assumption that the tested circuit can be reconfigured into an oscillator. Faulty circuits can then be identified by simply measuring the oscillation frequency and comparing it to a reference value obtained from a fault-free (i.e., "golden") circuit under the same operating conditions. The method assumes that the oscillation frequency is sensitive to those component parameters which determine the relevant characteristics of the tested circuit. The main issue in oscillation based circuit testing is the design of testability structures and circuit reconfiguration schemes, which provide for an efficient test implementation. In the paper, general principle of OBT is described and some more details are given on its application in analog filter testing.

1 Uvod

Z naraščanjem kompleksnosti ter vse težjim dostopom do globoko vgnezenih analognih podsklopov postaja preizkušanje integriranih vezij vse večji problem, zato jih je potrebno načrtovati tako, da jih bo možno učinkovito preizkušati. V industriji in akademskih ustanovah narašča število raziskav, katerih cilj je razvoj ustreznih tehnik in postopkov strukturiranega načrtovanja preizkusljivih analognih vezij. Pristope v grobem razdelimo na realizacijo struktur za izboljšanje vodljivosti (angl. controllability) in spremljivosti (angl. observability) notranjih vozlišč analognih podsklopov ter na načrtovanje struktur, ki omogočajo izvedbo vgrajenega samodejnega preizkusa v integriranem vezju. Zaradi obsežnosti področja ne gre iskati splošne rešitve za vsa analogna vezja, temveč je bolj smiselno iskati učinkovite tehnike preizkušanja za posamezne razrede analognih vezij.

V tem prispevku uvodoma povzemamo osnovne principe načrtovanja preizkusljivosti (angl. Design for Testability, ali okrajšano DfT), v nadaljevanju pa opisujemo izbrane pristope preizkušanja mešanih analogno-digitalnih vezij, ki so dosegli ustrezno pozornost v strokovni javnosti in se uveljavili v praksi. Zadnji del prispevka je namenjen oscilacijski preizkusni metodi, pri kateri smo tudi sami prispevali teoretske rezultate in jo uspešno uporabili v praksi.

2 Tehnološki izziv

Pomanjkanje strukturiranih DfT tehnik načrtovanja analognih podsklopov postaja ena pglavitnih ovir nadaljnjemu razvoju mešanih integriranih sistemov. Ker jih proizvajalci praviloma preverjajo s funkcionalnim preizkušanjem, je optimizacija postopkov težavna in zahteva izkušene inženirje z odličnim poznavanjem problematike. Hkrati je zelo težko

oceniti kvaliteto postopka, saj se funkcionalni preizkusi ne nanašajo neposredno na strukturne napake. Raziskovalci iz industrije in akademskih ustanov so si zato enotni, da je potrebno razviti ustrezne DfT tehnike, ki bi omogočile strukturiran pristop k problemu preizkušanja analognih podsklopov že od začetnih faz načrtovanja proizvoda, /1/, /2/, /3/, /4/. Nadalje bi razvoj učinkovitih analognih BIST struktur omogočil uporabo popolnoma digitalnih avtomatskih preizkuševalnih naprav (ang. *Automatic Test Equipment - ATE*), kar bi bistveno poenostavilo in pocenilo postopke proizvodnega preizkušanja. Iz napovedi Združenja industrije polprevodnikov /5/, lahko razberemo predvidene trende razvoja mešanih analogno-digitalnih DfT tehnik ter njihovo uporabo v bodočih kompleksnih SoC vezjih.

V skladu z naraščajočimi potrebami industrije se je v preteklih nekaj letih občutno povečalo število raziskav na tem področju. V znanstveni in strokovni literaturi lahko tako zasledimo številne prispevke, ki obravnavajo različne analogne oziroma mešane DfT tehnike. Predlagani pristopi se medsebojno precej razlikujejo, kar izhaja predvsem iz lastnosti ciljne aplikacije, vendar pa je njihov skupni cilj izboljšanje preizkusljivosti kompleksnih mešanih integriranih vezij. Slika 1 skuša povzeti nekatere najbolj pogoste DfT tehnike in primere njihove uporabe.

3 Načrtovanje preizkusljivosti mešanih analogno-digitalnih vezij

3.1 Splošna DfT pravila

Večina splošnih DfT pravil izhaja iz uveljavljenih tehnik načrtovanja analognih vezij oziroma iz predhodno pridobljenih načrtovalskih izkušenj. Osnovna pravila so:

- vezja delimo na podsklope (makro celice),
- zagotovimo vodljivost vhodov podsklopov,
- zagotovimo spremljivost izhodov podsklopov,
- omogočimo izključitev povratnih zank v analognih podsklopih,
- vgradimo digitalne spominske celice v stičišča analognih in digitalnih podsklopov,

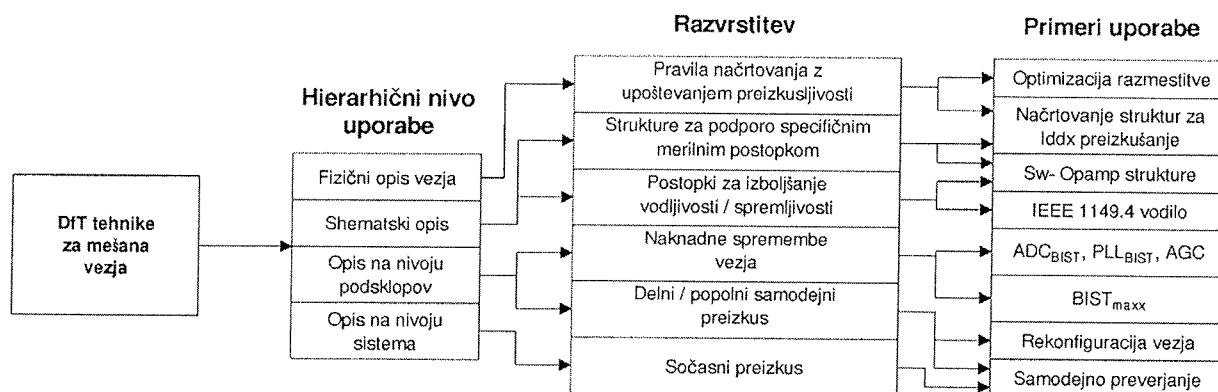
- uporabimo standarden digitalni preizkusni vmesnik za izbiro načina delovanja vezja (normalno obratovanje ali preizkušanje).

Tovrstna pravila je možno vgraditi v računalniška načrtovalska orodja, kjer lahko njihovo upoštevanje spremljamo preko t.i. "nadzornikov pravil načrtovanja" (ang. *design rule checker*). Poleg splošnih DfT pravil lahko v to skupino uvrstimo tudi ukrepe, kot je upoštevanje pravil oziroma omejitev pri fizičnem razvrščanju elementov vezja. S tem lahko zmanjšamo verjetnost pojava določenih napak in tako izboljšamo preizkusljivost vezja /6/.

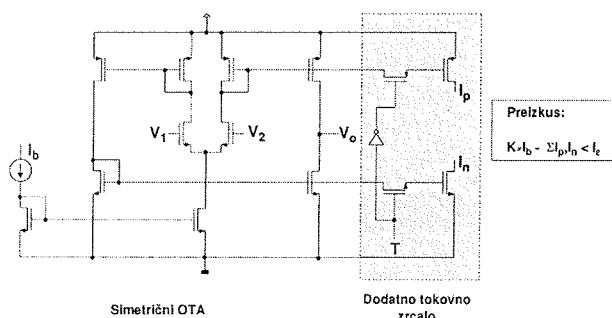
3.2 Podpora zunanjim merilnim metodam

Drugo skupino DfT tehnik predstavljajo strukture za podporo postopkom preizkušanja, ki temeljijo na zunanjih meritvah parametrov integriranega vezja. Meritev mirovnega napajalnega toka (I_{DDQ} preizkušanje) je uveljavljena tehnika proizvodnega preizkušanja digitalnih vezij /7/. Njegova uporaba v mešanih integriranih vezjih zahteva upoštevanje ustreznih strategij delitve vezja na podsklope ter možnost ločene izključitve analognih jeder. To zagotavlja minimalen vpliv le-teh na mirovni tok vezja med preizkušanjem digitalnih podsklopov.

Po drugi strani je možno meritve toka uporabiti tudi za preizkušanje analognih podsklopov vezja. Ker so nekatere analogne strukture, kot so tokovna zrcala ali generatorji prečnega (ang. *bias*) toka ali napetosti, posebej občutljive na naključno spreminjanje parametrov proizvodnega procesa, lahko pride tudi pri pravilno delujočih vezjih do občutnih odstopanj v velikosti električnih tokov v vezju. Posledica je maskiranje napak v vezju, čemur se lahko izognemo s ponovitvami meritev napajalnega toka ob vhodnih signalih nasprotne polaritete. Možna rešitev je tudi realizacija dodatnih struktur v nekaterih tipičnih analognih podsklopih. Avtorji v /8/ in /9/ tako predlagajo izvedbo dodatnih tokovnih zrcal v transkonduktančnih operacijskih ojačevalnikih (OTA), slika 2, s katerimi omogočimo meritev mirovnega toka analognega vezja z zunanjimi merilnimi instrumenti ali z vgrajenimi tokovnimi senzorji.



Slika 1: DfT tehnike za mešana analogno-digitalna integrirana vezja

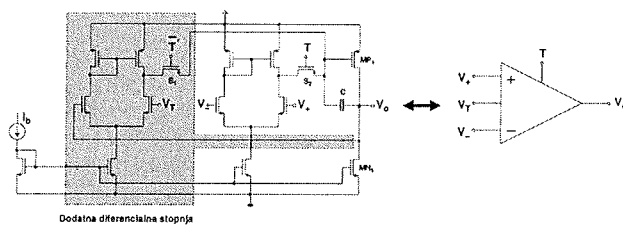


Slika 2: Dodalna tokovna zrcalna struktura v simetričnem OTA

3.3 Dostop do globoko vgnezenih podsklopov

V to skupino DfT tehnik uvrščamo načrtovalske ukrepe za izboljšanje vodljivosti in spremljivosti analognih podsklopov. V pretežno digitalnih mešanih integriranih vezjih za dostop do analognih podsklopov pogosto uporabljamo obstoječe A/D in D/A pretvornike. Takšen pristop omogoča popolnoma digitalno povezavo med preizkuševalno napravo in preizkušanim vezjem /10/, kar bistveno poenostavi celoten postopek preizkušanja. Kadar obstoječe zmogljivosti ne zadoščajo, je potrebno realizirati namenske A/D ali D/A pretvornike izključno za potrebe preizkušanja, to pa lahko pomeni občutno povečanje polprevodniške površine. Možna je tudi realizacija posebnih kontaktnih ploskev na polprevodniku, ki merilni napravi omogočajo dostop do izbranih vozlišč integriranega vezja. Uporaba te tehnike je težavna in zahteva uporabo dragih preizkuševalnih vmesnikov, vendar pa je včasih edina možna rešitev. V tem primeru skušamo kontakte realizirati na najmanj občutljivih vozliščih vezja, kot so izhodi ojačevalnikov ter druga nizko impedančna vozlišča.

V literaturi so bili predstavljeni tudi različni pristopi, ki temeljijo na rekonfiguraciji posameznih analognih podsklopov. Ena izmed tehnik temelji na t.i. sw-opamp strukturah /11/. Pri teh gre dejansko za operacijske ojačevalnike, ki lahko delujejo v normalnem načinu, ali pa kot ojačevalniki z enotnim ojačanjem in dodatnim vhodom. Prednost pristopa je v majhnem vplivu preizkusne infrastrukture na prenosno funkcijo analognega vezja. Kot je razvidno iz slike 3 so stikala, s katerimi lahko analogni podsklop izoliramo od okolice ter zagotovimo dostop do njegovega vhoda oz. izhoda, nameščena med diferencialno vhodno in močnostno izhodno stopnjo ojačevalnika. Zaradi majhnih amplitud signala lahko uporabimo MOS tranzistorje majhnih dimenzij, s čemer se zmanjša vpliv parazitnih kapacitivnosti na karakteristiko ojačevalnika. Avtorji so v /12/ predlagali zamenjavo vseh operacijskih ojačevalnikov v večstopenskem analognem vezju s sw-opamp strukturami. Če vse stopnje, razen trenutno preizkušane, obratujejo v načinu enotnega ojačevalnika, se vzpostavi posredna povezava med primarnim vhodom/izhodom vezja in vhodom/izhodom preizkušane stopnje. Na različnih primerih so tudi pokazali, da je vpliv preizkusne infrastrukture na prenosno funkcijo vezja minimalen.



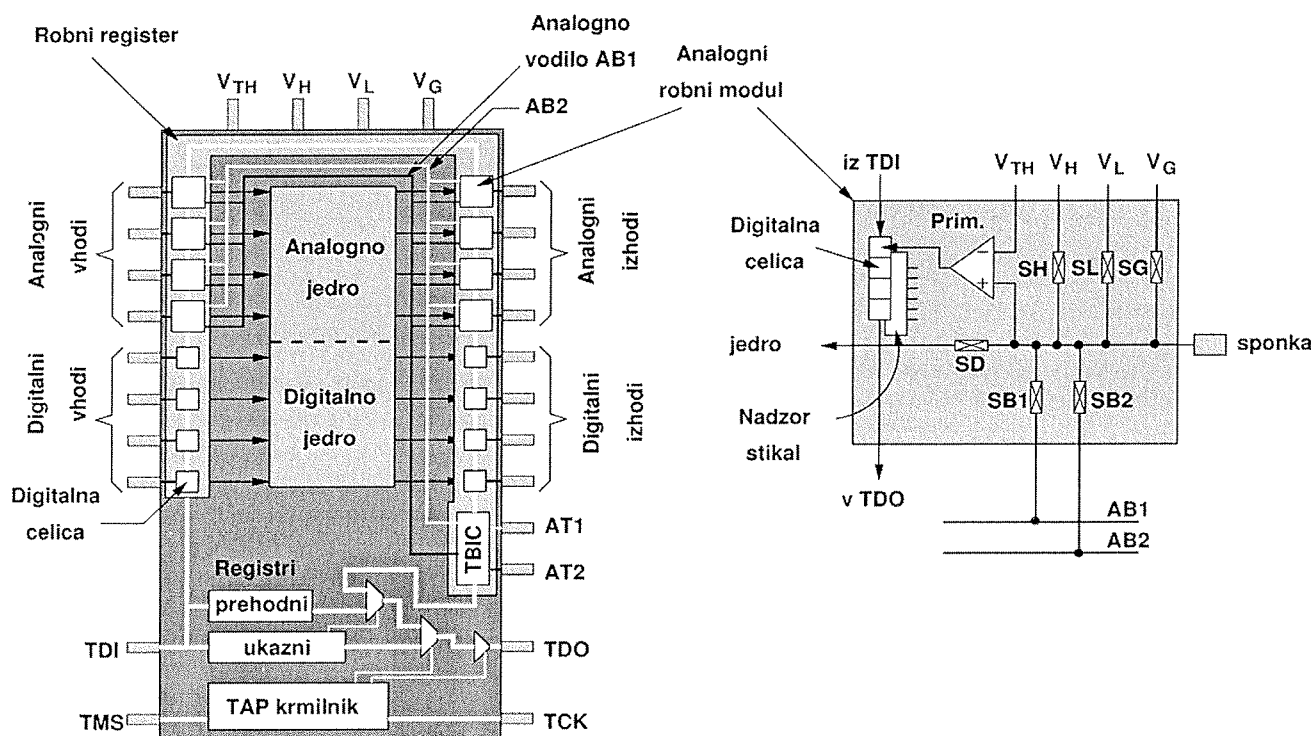
Slika 3: operacijski ojačevalnik z možnostjo rekonfiguracije (sw-opamp)

Podobno rešitev, ki temelji na rekonfiguraciji posameznih stopenj analognega filtra v navadne ojačevalne stopnje, predlagajo tudi avtorji v /13/. Ker je v tem primeru rekonfiguracija izvedena s stikali v osnovni poti signala, je lahko vpliv nelinearnih upornosti in parazitnih kapacitivnosti stikal na prenosno funkcijo sistema precejšen. Takšna rešitev zato zahteva podrobno analizo in upoštevanje vpliva stikal že med postopkom načrtovanja osnovnega analognega vezja.

Med pogostejše uporabljane tehnike sodi realizacija namenskih preizkusnih analognih vodil. Načrtovalci z realizacijo le-teh omogočijo vodljivost in spremljivost analognih vozlišč na nivoju integriranega ali tiskanega vezja oziroma na nivoju sistema. Čeprav je osnovni princip uporabe preprost, pa je dejanska izvedba precej zahtevna. Pri načrtovanju tovrstnih struktur zato uporabljajo različne tehnike, kot so diferencialna vodila, vgrajeni gonilniki signalov (prilagoditev na impedanco oz. kapacitivno obremenitev vodila), ločevanje vodil za različne analogne podsklope (NF, RF) ter ozemljene oklopne plasti nad in pod vodili, ki lahko pripomorejo k zmanjšanju motenj v merilnem postopku. Pri načrtovanju pa je pomembna tudi uporaba standardnega preizkusnega vmesnika, ki lahko precej olajša pripravo potrebnega merilnega okolja in prenosljivost obstoječih preizkusnih programov na nove aplikacije.

3.4 Standard IEEE 1149.4

Konec leta 1999 je bil dokončno potrjen industrijski standard IEEE 1149.4 za mešano preizkusno vodilo (ang. *Mixed-Signal Test Bus*, /14/), ki se navezuje na že obstoječi in v praksi uveljavljeni standard za načrtovanje digitalnih vezij z robno preizkusno linijo (IEEE 1149.1 - *Test Access Port and Boundary-Scan Architecture*). Standard določa lastnosti analognega preizkusnega vodila in predpisuje osnovno preizkusno infrastrukturo sistema (slika 4). Bistvena značilnost standarda so t.i. analogne robne celice (ang. *Analog Boundary Module* - ABM), ki so nameščene med funkcionalne priključke analognega jedra in vhodne/izhodne sponke vezja ter omogočajo povezavo analognih vozlišč z zunanjimi merilnimi instrumenti brez uporabe občutljivih merilnih sond. Standard poleg analognih infrastrukture predpisuje tudi obvezno krmilno logiko in osnovne načina delovanja analognih robnih celic. Poleg tega dopušča tudi različne razširitve infrastrukture, npr. z vgradnjo struktur za izvedbo analognega samodejnega preizkusa.



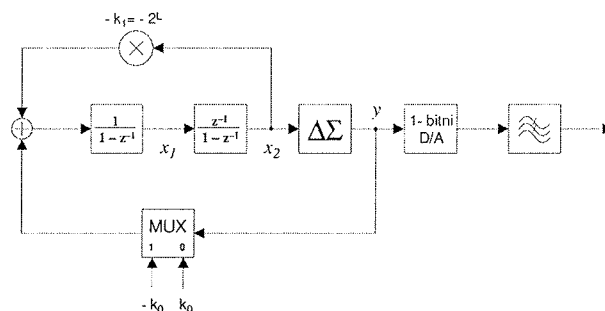
Slika 4: arhitektura IEEE 1149.4 mešanega preizkusnega vodila

Upoštevanje standarda omogoča bolj strukturiran pristop k načrtovanju preizkusljivih mešanih analogno-digitalnih vezij, vendar pa ima predlagana infrastruktura tudi nekatere slabosti. Med temi sta relativno omejeno frekvenčno in impedančno merilno območje, ki sta določeni predvsem z načinom izvedbe vgrajenega analognega vodila in pripadajočih analognih stikal v robnih celicah. Izbira najustreznejše tehnike je zato prepuščena načrtovalcu, ki mora pri tem upoštevati vpliv dejavnikov, kot so končne upornosti in parazitne kapacitivnosti MOS stikal, ali pa enosmerna odstopanja (*offset*) ojačevalnikov, tako na natančnost meritev kot na osnovne parametre analognega vezja.

3.5 Generiranje in vrednotenje analognih signalov v vezju

Generiranje in vrednotenje analognih signalov z zunanjo merilno opremo vnaša nekatere omejitve v postopek preizkušanja vezij. Te so posledica omejenega frekvenčnega ali amplitudnega območja signalov, ki jih lahko prenašamo med merilnimi napravami ter integriranim vezjem (oziroma vhodi in izhodi vgnezenih analognih podsklopov), občutljivosti prenosnih poti signalov na motnje ipd. Možno rešitev tega problema predstavlja generiranje oziroma vrednotenje analognih signalov v samem integriranem vezju. V tem primeru poteka prenos preizkusnih podatkov in merilnih rezultatov med vezjem in zunanjo preizkuševalno napravo v digitalni obliki. Ceno za možnost uporabe preprostejših digitalnih preizkuševalnih naprav plačamo z dodatno površino polprevodnika, ki je potrebna za realizacijo ustreznih analognih preizkuševalnih struktur v samem integriranem vezju.

Izbira generatorja signala je odvisna od vrste preizkusa, ki ga želimo opraviti. Medtem, ko za preizkus določenih tipov vezij, kot so npr. analogno/digitalni (A/D) pretvorniki zadošča en sam vhodni signal, pa pri vezjih, kot so analogni filtri, običajno uporabljamo postopek preizkušanja z večfrekvenčnimi vhodnimi signali. Haurie in Roberts sta v [15] predstavila izvedbo sinusnega oscilatorja, ki temelji na LDI (ang. *Lossless Discrete Integrator*) rezonatorju in $\Delta\Sigma$ modulatorju (slika 5). Oscilator je možno skoraj v celoti realizirati z relativno preprostimi digitalnimi elementi, kot so registri, seštevalniki, multiplexerji in pomikalni registri, medtem ko je uporaba analognih struktur omejena na 1-bitni digitalno/analogni (D/A) pretvornik (zadrževalnik ničtega reda) in preprost nizkoprepustni filter. Predlagano strukturo odlikuje visoko razmerje signal/šum (ang. *Signal to Noise Ratio* - SNR) kot tudi možnost generiranja večtonskih signalov.



Slika 5: Generator sinusnega signala na osnovi DS modulatorja

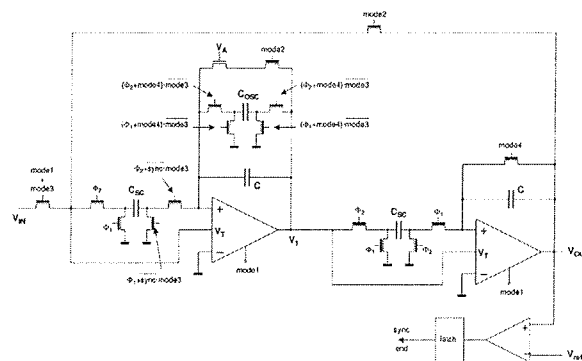
Preizkus A/D pretvornikov običajno obsega določitev integralne (INL) in diferencialne nelinearnosti (DNL) ter napake

ojačanja in enosmernega odstopnaja pretvornika. Te parametre lahko določimo z analizo v frekvenčnem ali v časovnem prostoru kar vpliva tudi na izbiro oblike vhodnega signala. Pri meritvah v časovnem prostoru želimo na vходу pretvornika uporabiti počasen, linearno naraščajoči signal. Primer realizacije generatorja tovrstnega signala je predstavljen v /16/. Pri histogramskem (frekvenčnem) preizkusu /17/ beležimo število ponovitev posameznih digitalnih kod na izhodu pretvornika ob periodičnem vhodnem signalu z znano amplitudno distribucijo, npr. sinusnemu ali trikotnemu signalu /18/.

Vrednotenje odziva analognega vezja otežuje vsebovana nenatančnost analognih signalov. Zaradi tega moramo pri analizi odziva vezja na dani vhodni signal upoštevati vplive šuma in odstopanj v generatorju signala kot tudi dopustnih odstopanj parametrov preizkušane vezja. Včasih lahko pri vrednotenju odziva preizkušanih podsklopov izkoristimo obstoječe D/A pretvornike in DSP jedra v integriranem vezju /19/, /20/. Kadar to ni možno, je potrebno realizirati namenske preizkusne zmogljivosti, pri čemer pa skušamo čim bolj omejiti potrebno površino polprevodnika /21/. Realizacija A/D pretvornika visoke časovne in amplitudne resolucije je običajno v nasprotju z zahtevo po majhni površini: na eni strani poznamo hitre a velike *flash* A/D pretvornike, na drugi pa počasne pretvornike na osnovi sukcesivne aproksimacije, ki sicer zasedejo manjšo površino polprevodnika. Pod določenimi pogoji pa je možno realizirati pretvornike, pri katerih resolucija ni obratno sorazmerna hitrosti pretvorbe. Avtorji v /22/ in /23/ tako izkoristijo periodičen odziv analognega vezja, ki tudi počasnim sukcesivnim A/D pretvornikom omogoča doseganje časovne resolucije, ki je primerljiva tistim pri veliko višjih frekvencah vzorčenja. Poleg klasičnih A/D pretvornikov lahko za analizo preizkušane vezja uporabimo tudi druge strukture. Eno izmed možnosti predstavljajo t.i. analogni nadzorniki (ang. *analogue checker*). S pomočjo le-teh preverjamo določene parametre vezja glede na znan vhodni signal. Nadzorniki iz odziva vezja izločijo vrednost iskanega parametra in jo primerjajo z dvema referenčnima vrednostima (P_{MIN} , P_{MAX}), ki ustrezata zgornji in spodnji meji dopustnega odstopanja parametra od željene vrednosti, rezultat pa je preprost digitalni signal, ki javi prisotnost napake (go/no-go preizkus). Analogni nadzorniki običajno sestojijo iz vezja za izločanje iskanega parametra in pripadajočega primerjalnika, vendar pa se dejanska izvedba nadzornika razlikuje glede na vrsto obravnavanega analognega vezja, /24/, /25/, /26/.

Ker je v praksi nemogoče ločeno primerjati vsako vzorčeno vrednost izhodnega signala z željeno vrednostjo, uporabljamo postopke komprimiranja analognih signalov. Željena lastnost struktur za komprimiranje analognih signalov je, da za dva različna vhodna signala ustvarijo dve različni signaturi, hkrati pa za dopustna odstopanja vhodnega preizkusnega signala tudi signatura ostaja v mejah pričakovanega območja. Čeprav je mogoče signaturo določiti s klasično A/D pretvorbo izhodnega signala in uporabo digitalnih tehnik komprimiranja z večvhodnimi signaturnimi

registri (ang. *Multiple Input Signature Register* - MISR), so se nekatere druge strukture, /27/, /28/, izkazale za učinkovitejše glede na potrebno površino polprevodnika. V /29/ so avtorji predstavili izvedbo generatorja analogne signatur, v SC (ang. *Switched-Capacitor*) tehnologiji, ki lahko hkrati služi tudi kot generator preizkusnih signalov (slika 6). Potrebno površino polprevodnika lahko dodatno zmanjša souporaba funkcionalnih elementov vezja v preizkusni shemi.



Slika 6: ABILBO - vgrajen observator analognih blokov

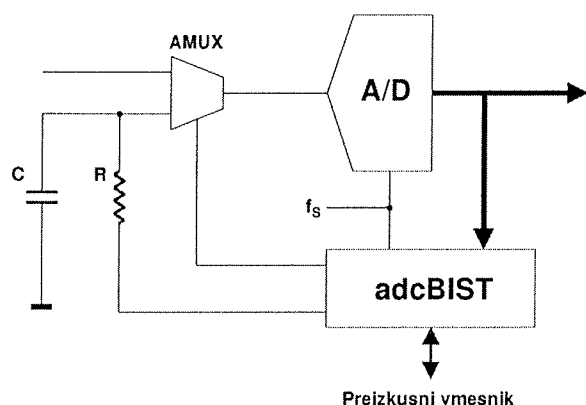
3.6 Vgrajen samodejni preizkus

Z vgradnjo ustreznih zmogljivosti v integrirano vezje lahko omogočimo popolnoma avtonomno izvajanje preizkusnega postopka, ki ne zahteva nobene dodatne podpore s strani zunanje merilne opreme, z izjemo proženja začetka in spremljanja končnega rezultata preizkusa. Prednost takšnega pristopa je v zmanjšanju kompleksnosti (in cene) zunanje preizkuševalne naprave in možnosti sočasne izvršitve več ločenih vgrajenih preizkusov ter posledično skrajšanju časa celotnega preizkusa. Slabost je vsekakor povečanje polprevodniške površine vezja zaradi dodatne preizkusne infrastrukture ter omejena možnost obdelave analognih signalov. Pristopi k izvedbi vgrajenega samodejnega preizkusa analognih podsklopov se razlikujejo predvsem glede na njihov vpliv na funkcionalne elemente vezja ter glede na tehniko generiranja preizkusnih signalov in vrednotenja odziva preizkušane analogne vezja. Razlikujemo lahko tudi med bolj ali manj strukturiranimi pristopi k načrtovanju BIST struktur. Prvi so bolj splošne narave in pripomorejo k skrajšanju načrtovalskega časa, običajno na račun večje potrebne površine polprevodnika. Nestrukturirani pristopi so prilagojeni specifičnim analognim vezjem in lahko ob manjši dodatni površini polprevodnika občutno izboljšajo preizkusljivost vezja. Prilagoditev struktur specifičnemu vezju po drugi strani zahteva daljši čas načrtovanja.

Največ pozornosti je bilo do sedaj posvečene izvedbi BIST struktur za A/D in D/A pretvornike, /31/, /32/, /33/, saj gre za pogosto uporabljane mešane analogno-digitalne podsklope s širokim naborom parametrov (ojačanje, INL, DNL, enosmerno odstopanje), ki po drugi strani zahtevajo obsežen in drag postopek preizkušanja. Primer strukturiranega pristopa k preizkušanju vezij, ki vsebujejo tako A/D kot D/A pretvornike je t.i. hibridni BIST (HBIST), ki ga je v /30/ predlagal Ohletz. Samodejni preizkus se izvede z vz-

postavitvijo povezave med izhodom D/A in vhodom A/D pretvornika, medtem ko vhode D/A pretvornika vzbujajo vzorci iz vgrajenega LFSR (ang. *Linear Feedback Shift Register*) generatorja psevdo-naključnih vrednosti. Sočasno se v digitalni domeni izvaja analiza signature na izhodih A/D pretvornika.

Med analognimi BIST pristopi velja posebej omeniti komercialne rešitve podjetij LogicVision ter Fluence Technology. Avtorja Sunter in Nagi iz podjetja LogicVision sta razvila adcBIST tehniko namenjeno preizkušanju A/D pretvornikov /34/, ki zahteva uporabo nekaterih dodatnih elementov: analognega multiplexerja na vhodu pretvornika, R-C vezja za glajenje vhodnega signala ter digitalnega bloka za generiranje preizkusnih vrednosti in procesiranje rezultatov pretvorbe. Elemente vključujemo v načrtovano vezje na nivoju blokov, zato pristop ne zahteva posegov v strukturo A/D pretvornika (slika 7). Digitalno vezje skrbi za generiranje vhodnega preizkusnega signala in za izračun koeficientov polinoma tretjega reda. Slednji so določeni na podlagi najmanjše vsote kvadratov tako, da zagotavljajo prileganje polinoma dani sekvenci izhodnih vrednosti pretvornika. Koeficienti vsebujejo vso potrebno informacijo za določitev enosmernega odstopanja, ojačanja ter harmoničnega popačenja drugega in tretjega reda. Izračun parametrov se izvede digitalno in lahko poteka v ali izven integriranega vezja. Prednost pristopa je njegova odpornost na šum, variacije v proizvodnem procesu in nelinearnosti na vhodu pretvornika, med slabosti pa sodi predvsem ne-izračunavanje dinamične in integralne nelinearnosti pretvornika. Poleg adcBIST ponujajo pri LogicVision tudi rešitev za preizkušanje digitalnih in analognih PLL struktur pod imenom pllBIST /35/.

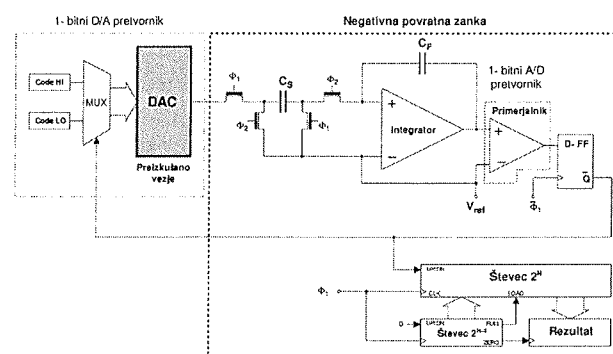


Slika 7: Shematski prikaz adcBIST pristopa

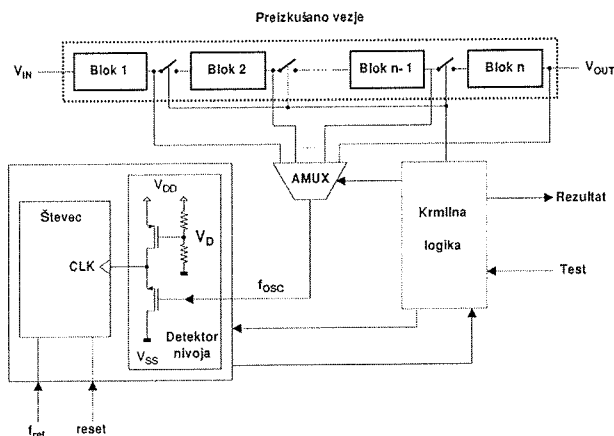
Podjetje Fluence Technology trži skupino analognih BIST rešitev pod skupnim imenom BISTmaxx. Skupina proizvodov obsega strukture za preizkušanje A/D (ADCBIST) in D/A (DACBIST) pretvornikov ter PLL struktur (VCOBIST). Medtem ko ADCBIST temelji na vgradnji namenskih zmogljivosti, ki omogočajo izvedbo klasičnega histogramskega preizkusa, pa DACBIST uporablja t.i. oscilacijsko tehniko za določitev pomembnih parametrov preizkušane vezja. Oscilacijska tehnika temelji na možnosti pretvorbe preizkušane vezja v oscilator, /36/, /37/, in na pred-

postavki, da napake v vezju vplivajo na frekvenco oscilacij. Naravna frekvenca transformiranega vezja je tako odvisna od dodanih zunanjih komponent ter od večine parametrov, ki določajo frekvenčno karakteristiko oziroma časovni odziv vezja. DACBIST predvideva transformacijo D/A pretvornika poljubne resolucije v eno-bitni D/A pretvornik ter priključitev negativne regulacijske povratne zanke na preizkušano vezje. Frekvenco oscilacij določimo s preprostim vezjem, ki obsega eno-bitni A/D pretvornik (primerjalnik) in digitalni števec, preizkusna infrastruktura pa vključuje še integrator analognega signala in ustrezno krmilno logiko (slika 8). Nekaj dodatnih besed namenjamo oscilacijski metodi in njeni uporabi pri preizkušanju analognih filtrov v naslednjem poglavju.

Pri uporabi tehnik vgrajenega samodejnega preizkušanja analognih vezij lahko na koncu ugotovimo, da se s selitvijo preizkusnih zmogljivosti v samo integrirano vezje ustrezno povečuje tudi potrebna površina polprevodnika, kljub temu pa je za določene aplikacije to ena izmed ugodnejših rešitev, predvsem zaradi povečanja učinkovitosti preizkusnega postopka, skrajšanja časa preizkušanja vezja in pogosto tudi možnosti izvajanja preizkusov med obratovanjem sistema. Hkrati tudi trenutni trendi razvoja čedalje bolj nakazujejo potrebo po uporabi tovrstnih tehnik pri načrtovanju zanesljivih a cenovno ugodnih mešanih integriranih vezij in sistemov.



omejene posege v strukturo preizkušane vezja, hkrati pa se izognemo potrebi po realizaciji namenskih struktur za generiranje preizkusnih signalov. Za vrednotenje odziva vezja pa zadošča že zelo preprosta struktura, ki jo lahko realiziramo z detektorjem nivoja analognega signala in digitalnim števcem.



Slika 9: Splošni pristop k uporabi oscilacijske metode

Preizkušanje analognih filtrov pogosto temelji na dinamičnih meritvah frekvenčnega odziva vezja na vhodni signal spremenljive frekvence. Učinkovitost takšnega postopka je v veliki meri odvisna od izbire ustrezne oblike vzbujanja ter načina vrednotenja odziva. V primeru načrtovanja vgrajenega samodejnega preizkusa zahteva realizacijo ustreznih namenskih struktur, ki lahko občutno povečajo potrebno površino polprevodnika, poleg tega večina aplikacij zahteva uporabo generatorjev analognih signalov visoke stabilnosti in možnost generiranja večfrekvenčnih signalov.

V zadnjih letih je bilo objavljenih več prispevkov, ki obravnavajo uporabo oscilacijske metode pri preizkušanju aktivnih analognih filtrov /38/. Predstavljene so bile nekatere rešitve za izbrane razrede aktivnih R-C filtrov, ki temeljijo na pretvorbi preizkušane vezja v oscilatorsko strukturo s pomočjo vgrajenih stikal in dodatnih pasivnih elementov /39/, ali pa z uporabo zunanega vezja, /40/. Poleg tega naletimo tudi na nekatere rešitve, ki obravnavajo specifična aktivna R-C vezja, /41/, /42/, in dokazujejo praktično uporabnost postopka v proizvodnem preizkušanju integriranih analognih filtrov.

Uporaba oscilacijske metode je še posebej smiselna v primeru preizkušanja SC vezij, saj le ta že v osnovi vključujejo analogna stikala, torej je vezje pogosto možno transformirati brez večjih posegov v strukturo samega vezja oziroma že z zagotovitvijo ustreznih (digitalnih) krmilnih signalov. Huertas et al. so v /43/ in /44/ predstavili preizkusni postopek za specifično SC filterno vezje, ki temelji na uporabi oscilacijske metode. Oscilacijska struktura je zasnovana z uporabo dodatnega zunanega vezja, ki v preizkusnem načinu zagotavlja obratovanje preizkušane pasovnoprepustnega SC filtra v mejno stabilnem območju. Na podlagi analize pokritosti napak so tudi ugotovili, da lahko kakovost preizkusa izboljšajo z dodatnim preverjanjem am-

plitude izhodnega signala. V /45/ je predlagana rekonfiguracijska shema oscilacijskega preizkusa pasovnoprepustne SC stopnje, ki se nanaša na univerzalno Fleischer-Lakerjevo stopnjo drugega reda. Delo predstavlja splošen pristop k načrtovanju struktur za izvedbo oscilacijskega preizkusa v tipičnih topologijah SC filternih stopenj.

4 Zaključek

Reševanje problema preizkušanja je tesno povezano s postopkom načrtovanja vezja. Z upoštevanjem pravil, postopkov in tehnik načrtovanja, ki jih skupno označujemo kot načrtovanje preizkusljivosti, lahko bistveno olajšamo izvedbo in povečamo učinkovitost preizkusnega postopka. Na področju načrtovanja preizkusljivosti v mešanih analogno-digitalnih integriranih vezjih so bile v preteklih letih predstavljene številne rešitve, vendar pa so se le redke uveljavile v praksi. Posamezne tehnike se po svoji zasnovi precej razlikujejo, vendar jih lahko v grobem razdelimo na načrtovanje struktur za podporo zunanjim merilnim metodam in na načrtovanje struktur za izvedbo vgrajenega samodejnega preizkusa vezja. Cilj našega prispevka je bil predstaviti glavne sodobne že uveljavljene preizkusne metode, hkrati pa pokazati tudi na nekatere zanimive ideje in izhodišča za razvoj novih učinkovitih rešitev.

5 Literatura

- /1/ G.W. Roberts, "Metrics, Techniques and Recent Developments in Mixed-Signal Testing", Proc. IEEE/ACM Int'l Conference on Computer Aided Design, San Jose, CA, USA, 1996, pp. 514-521
- /2/ G.W. Roberts, "Improving the Testability of Mixed-Signal Integrated Circuits", Proc. IEEE Custom Integrated Circuits Conference, Santa Clara, CA, USA, 1997, pp. 214-221
- /3/ R. Spina, and S. Upadhyaya, "Test Time Versus Design-for-Test Resources in Mixed-Signal Systems", Proc. IEEE International Mixed-Signal Testing Workshop (IMSTW'96), Quebec City, Canada, 1996, pp. 173-180
- /4/ A. Lechner, M. Burbridge, A. Richardson, B. Hermes, "3DB Challenge for DfT, DfM, DOT & BIST Integration into Analogue and Mixed Signal ICs", Proc. IEEE Latin-American Test Workshop, Cancun, Mexico, 2001, pp. 194-199
- /5/ Semiconductor Industry Association, International Technology Roadmap for Semiconductors, Edition 2003
- /6/ J.A. Prieto, A. Rueda, I. Grout, E. Peralías, J.L. Huertas, A.M. Richardson, "An Approach to Realistic Fault Prediction and Layout Design for Testability in Analogue Circuits", Proc. Design, Automation and Test in Europe Conference (DATE'98), Paris, France, 1998, pp. 905-912
- /7/ J.M. Soden, "IDDQ Testing: A Review", Journal of Electronic Testing: Theory and Applications, No. 3, 1992, pp. 291-303
- /8/ I. Baturone, J.L. Huertas, S. Sanchez Solano, and A.M. Richardson, "Supply Current Monitoring for Testing CMOS Analog Circuits", XI Congreso de Diseño de Circuitos Integrados y Sistemas, Barcelona, Spain, 1996, pp. 231-236
- /9/ I. Baturone, S. Sanchez Solano, A.M. Richardson, and J.L. Huertas, "Current-Mode Techniques for Self-Testing Analogue Circuits", Proc. IEEE International Workshop on IDDQ Testing, Washington D.C., USA, 1997
- /10/ J.S. Matos, A.C. Leao, J.C. Ferreira, "Control and observation of analog nodes in mixed-signal boards", Proc. IEEE Int'l Test Conference (ITC'93), Baltimore, USA, 1993, pp. 323-331

- /11/ A.H. Bratt, A.M.D. Richardson, R.J.A. Harvey, and A.P. Dorey, "A design-for-test structure for optimising analogue and mixed signal IC test", Proc. European Design & Test Conference (ED&TW'95), Paris, France, 1995, pp. 24-32.
- /12/ D. Vasquez, A. Rueda, J.L. Huertas, "A DFT methodology for active analogue filters", Proc. IEEE Mixed Signal Test Workshop (IMSTW'95), Grenoble, France, 1995
- /13/ M. Renovell, F. Azais, Y. Bertrand, "A Design-for-Test Technique for Multi-Stage Analog Circuits", Proc. Asian Test Symposium (ATS'95), Bangalore, India, 1995, pp.113-118
- /14/ IEEE Standard for a Mixed-Signal Test Bus, IEEE 1149.4-1999
- /15/ X. Haurie, G.W. Roberts, "Arbitrary-Precision Signal Generation for Mixed-Signal Built-In-Self-Test", IEEE Tran. Circuits and Systems II: Analog and Digital Signal Processing, Vol. 45, No. 11, 1998, pp. 1425-1431
- /16/ B. Provost, E. Sanchez-Sinencio, "Adaptive Analog Timer for On-Chip Testing", Proc. Int'l Workshop on Design of Mixed-Mode Integrated Circuits and Applications, Puerto-Vallarta, Mexico, 1999, pp. 29-32
- /17/ F. Azais, S. Bernard, Y. Bertrand, M. Renovell, "Implementation of a Linear Histogram BIST for ADCs", Proc. Design Automation and Test in Europe Conference (DATE'01), Munich, Germany, 2001, pp. 590-595
- /18/ S. Bertrand, F. Azais, Y. Bertrand, M. Renovell, "A High Accuracy Triangle-Wave Signal Generator for On-Chip ADC Testing", Proc. European Test Workshop (ETW'02), Corfu, Greece, 2002, pp. 365-370
- /19/ M.F. Toner, G.W. Roberts, "A BIST Scheme for a SNR, Gain Tracking and Frequency Response Test of a Sigma-Delta ADC", IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, Vol. 42, No. 1, 1995, pp. 1-15
- /20/ E.K.F. Lee, "Reconfigurable Data Converter as a Building Block for Mixed-Signal Test", Proc. European Design & Test Conference (ED&TW'97), Paris, France, 1997
- /21/ M. Renovell, F. Azais, S. Bernard, Y. Bertrand, "Hardware Resource Minimization for Histogram-based ADC BIST", Proc. VLSI Testing Symposium (VTS'00), Montreal, Canada, 2000, pp. 247-252
- /22/ K. Lofstrom, "Early Capture for Boundary Scan Timing Measurements", Proc. of the IEEE International Test Conference (ITC'96), Washington D.C., USA, 1996, pp. 417-422
- /23/ A. Hajjar, G.W. Roberts, "A High Speed and Area Efficient On-Chip Analog Waveform Extractor", Proc. of the IEEE International Test Conference (ITC'98), Washington D.C., USA, 1998, pp. 688-697
- /24/ R. Hajrani, B. Vinnakota, "Analog Circuit Observer Blocks", IEEE Trans. on Circuits and Systems II: Analog and Digital Signal Processing, Vol. 44, No. 2, 1997, pp. 154-163
- /25/ D. De Venuto, M.J. Ohletz, B. Ricco, "On-Chip Signal Level Evaluation for Mixed-Signal ICs using Digital Window Comparators", Proc. IEEE European Test Workshop (ETW'01), Stockholm, Sweden, 2001, pp. 175-179
- /26/ C.C. Hsu, W.S. Feng, "OTA-C Based BIST Structure for Analog Circuits", IEICE Trans. Fundamentals, Vol. E83-A, No.4 April 2000, pp. 771-773
- /27/ M. Renovell, F. Azais, Y. Bertrand, "On-Chip Analog Output Response Compaction", Proc. European Design & Test Conference (ED&TC'97), Paris, France, 1997
- /28/ S. Saine, J. Raczkowycz, P. Mather, "An analogue test response compaction technique using delta-sigma modulation", Microelectronics Journal, Vol. 32, No.4, April 2001, pp. 339-350
- /29/ M. Lubaszewski, S. Mir, L. Pulz, "ABILBO: Analog Built-in Block Observer", Proc. Int'l Conference on Computer-Aided Design (ICCAD'96), San Jose, CA, USA, 1996, pp. 600-603
- /30/ M.J. Ohletz, "Hybrid built-in self-test (HBIST) for mixed analog/digital integrated circuits", Proc. European Test Conference (ETC'91), 1991, pp. 307-316
- /31/ M.F. Toner, G.W. Roberts, "A BIST Scheme for a SNR, Gain Tracking, and Frequency Response Test of a Sigma-Delta ADC", IEEE Trans. on Circuits and Systems II: Analog and Digital Signal Processing, Vol. 42, No. 1, 1995, pp. 1-15
- /32/ J. Raczkowycz, S. Allott, "Embedded ADC characterization techniques using a BIST structure, an ADC model and histogram data", Microelectronics Journal, Vol. 27, No. 6, 1996, pp. 539-549
- /33/ E. Teraoka, T. Kengaku, I. Yasui, K. Ishikawa, T. Matsuo, H. Wakada, N. Sakashita, Y. Shimazu, T. Tokuda, "A Built-In Self-Test for ADC and DAC in a Single-Chip Speech CODEC", IEICE Trans. Fundamentals, Vol. E80-A, No. 2, 1997, pp. 339-345
- /34/ S. Sunter, N. Nagi, "A Simplified Polynomial-Fitting Algorithm for DAC and ADC BIST", Proc. IEEE Int'l Test Conference (ITC'97), Washington D.C., USA, 1997, pp. 389-395
- /35/ LogicVision, PLL BIST Datasheet, <http://www.logicvision.com/>
- /36/ K. Arabi, B. Kaminska, "Efficient and Accurate Testing of Analog-to-Digital Converters Using Oscillation-Tests Method", Proc. European Design & Test Conference (ED&TC'97), Paris, France, 1997, pp. 348-352
- /37/ K. Arabi, B. Kaminska, "Oscillation Built-In Self-Test (OBIST) Scheme for Functional and Structural Testing of Analog and Mixed-Signal Integrated Circuits", Proc. IEEE Int'l Test Conference (ITC'97), Washington D.C., USA, 1997, pp. 786-796
- /38/ K. Arabi, B. Kaminska, "Testing Analog and Mixed-Signal Integrated Circuits Using Oscillation-Test Method", IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, Vol. 16, No. 7, 1997, pp. 745-752
- /39/ M. Santo-Zarnik, F. Novak, S. Maček, "Design of oscillation-based test structures for active RC filters", IEE Proc. Circuits, Devices and Systems, Vol. 147, No. 5, 2000, pp. 297-302
- /40/ M. Santo-Zarnik, F. Novak, S. Maček, "Efficient Go No-Go Test of Active RC Filters", Int'l Journal of Circuit Theory and Applications, No. 26, 1998, pp. 523-529
- /41/ M.W.T. Wong, "On Issues of Oscillation Test Methodology", IEEE Trans. Instrumentation and Measurement, Vol. 49, No. 2, 2000, pp. 240-245
- /42/ K.Y. Ko, N.S. Gorla, M.W.T. Wong, Y.S. Lee, "Improving fault diagnostic resolution of an oscillation-based test methodology scheme for the threshold detector circuit", Int'l Journal of Electronics, Vol. 88, No. 2, 2001, pp. 175-187
- /43/ G. Huertas, D. Vazquez, E. Peralias, A. Rueda, J.L. Huertas, "Testing Mixed-Signal Cores: Practical Oscillation-Based Test in an Analog Macrocell", Proc. Asian Test Symposium (ATS'00), Taipei, Taiwan, 2000, pp. 31-38
- /44/ G. Huertas, D. Vazquez, A. Rueda, J.L. Huertas, "Oscillation-Based Test Experiments in Filters: a DTMF Example", IEEE Int'l Mixed Signal Testing Workshop, Whistler, Canada, 1999, pp. 249-253
- /45/ U. Kač, F. Novak, "all-pass SC biquad reconfiguration scheme for oscillation based analog BIST", Proc. IEEE European Test Symposium 2004, Ajaccio, France, pp. 133-138.

dr. Uroš Kač

Institut "Jožef Stefan"

Jamova 39, 1001 Ljubljana, Slovenija

tel.: +386 (0)1 477 3550; fax: +386 (0)1 251 9385

email: uros.kac@ijs.si